

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)

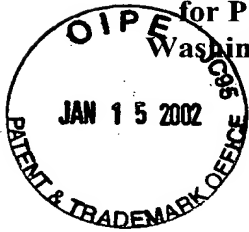
YAMADA et al.)

Application Number: 09/982,839)

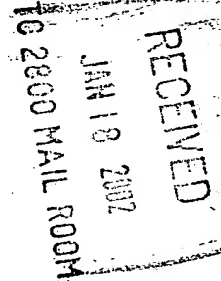
Filed: October 22, 2001)

For: A SEMICONDUCTOR DEVICE, A METHOD)
OF MANUFACTURING THE SAME AND)
STORAGE MEDIA)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231



**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**



Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of November 30, 2000, the filing date of the corresponding Japanese patent application 2000-364112.

The certified copy of corresponding Japanese patent application 2000-364112 is being submitted herewith. Acknowledgment of receipt of the certified copies is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher

Registration Number 24,344

JUAN CARLOS A. MARQUEZ

Registration No. 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
January 15, 2002



本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月30日

出 願 番 号

Application Number:

特願2000-364112

出 願 人

Applicant(s):

株式会社日立製作所

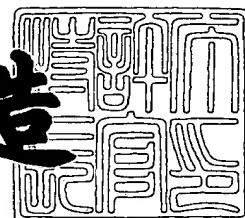
株式会社日立超エル・エス・アイ・システムズ

RECEIVED
JAN 18 2002
HC-800 MAIL ROOM

2001年 9月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3087805

【書類名】 特許願

【整理番号】 H00020911

【提出日】 平成12年11月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 山田 利夫

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 柳沢 一正

【発明者】

 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立
 超エル・エス・アイ・システムズ内

 【氏名】 篠崎 義弘

【発明者】

 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立
 超エル・エス・アイ・システムズ内

 【氏名】 青柳 秀朋

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【特許出願人】

 【識別番号】 000233169

 【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

 【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、その製造方法および記憶媒体

【特許請求の範囲】

【請求項 1】 回路ブロックの信号用の端子を、その上層の配線であって前記信号用の端子と接続される回路ブロック外配線の延在方向に対して交差する方向に沿って複数配置し、前記信号用の端子の各々を、前記回路ブロック外配線の延在方向に対して交差する方向に複数のチャンネル分の空間が確保されるようにしたことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記回路ブロックを、前記回路ブロック外配線の延在方向に沿って複数配置し、その各々の回路ブロックの前記信号用の端子と、前記回路ブロック外配線とを電氣的に接続したことを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、前記回路ブロックのうち、異なる回路ブロックの一群の間に配線領域を設けたことを特徴とする半導体装置。

【請求項 4】 請求項 1、2 または 3 記載の半導体装置において、前記信号用の端子を、前記回路ブロック外配線の延在方向に対して交差する方向に延在させたことを特徴とする半導体装置。

【請求項 5】 請求項 1～4 のいずれか 1 項に記載の半導体装置において、前記信号用の端子を、前記セル外配線の延在方向に沿って複数配置し、そのセル外配線の延在方向に沿って互いに隣接する信号用の端子の位置を、前記セル外配線の延在方向に対して交差する方向にずらして配置したことを特徴とする半導体装置。

【請求項 6】 請求項 1～5 のいずれか 1 項に記載の半導体装置において、前記信号用の端子を、前記回路ブロックの枠内に配置したことを特徴とする半導体装置。

【請求項 7】 請求項 1～6 のいずれか 1 項に記載の半導体装置において、前記信号用の端子を、前記回路ブロック内の最上の配線層で構成したことを特徴とする半導体装置。

【請求項 8】 請求項 1～7 のいずれか 1 項に記載の半導体装置において、前記回路ブロックの枠内に、前記回路ブロック外配線の延在方向に対して交差する方向に延びる電源用の端子を設けたことを特徴とする半導体装置。

【請求項 9】 請求項 8 記載の半導体装置において、前記電源用の端子を、前記回路ブロック内の最上の配線層で構成したことを特徴とする半導体装置。

【請求項 10】 回路ブロックの電源用の端子を、その上層の配線であって前記電源用の端子と接続され、かつ、前記回路ブロック上を延在する電源配線の延在方向に対して交差する方向に延在させたことを特徴とする半導体装置。

【請求項 11】 請求項 10 記載の半導体装置において、前記電源用の端子を、前記回路ブロックの枠内において、端から端まで延在させたことを特徴とする半導体装置。

【請求項 12】 請求項 10 または 11 記載の半導体装置において、前記電源用の端子を、前記回路ブロック内の最上の配線層で構成したことを特徴とする半導体装置。

【請求項 13】 第 1 方向に沿って配置された複数の回路ブロックと、前記第 1 方向に沿って延在され、前記複数の回路ブロック間を電氣的に接続する第 1 配線とを有し、

前記複数の回路ブロックの各々には、前記第 1 方向に交差する第 2 方向に沿って複数の信号用の端子が配置され、

前記複数の信号用の端子の各々は、前記第 2 方向に複数のチャネル分の空間が確保された構造となっており、

前記複数の信号用の端子の各々には、その上層の配線層に配置された前記第 1 配線が電氣的に接続されていることを特徴とする半導体装置。

【請求項 14】 請求項 13 記載の半導体装置において、前記複数の信号用の端子の各々を、前記第 2 方向に延在させたことを特徴とする半導体装置。

【請求項 15】 請求項 13 または 14 記載の半導体装置において、前記複数の信号用の端子の各々を、前記第 1 方向に沿って複数配置し、その第 1 方向に互いに隣接する信号用の端子の位置を、前記第 2 方向にずらして配置したことを特徴とする半導体装置。

【請求項 1 6】 請求項 1 3、1 4 または 1 5 記載の半導体装置において、前記複数の信号用の端子の各々を、前記回路ブロックの枠内に配置したことを特徴とする半導体装置。

【請求項 1 7】 請求項 1 3～1 6 のいずれか 1 項に記載の半導体装置において、前記複数の信号用の端子の各々を、前記回路ブロック内の最上の配線層で構成したことを特徴とする半導体装置。

【請求項 1 8】 請求項 1 3～1 7 のいずれか 1 項に記載の半導体装置において、前記回路ブロックの枠内に、前記第 2 方向に延びる電源用の端子を設けたことを特徴とする半導体装置。

【請求項 1 9】 請求項 1 8 記載の半導体装置において、前記電源用の端子を、前記回路ブロック内の最上の配線層で構成したことを特徴とする半導体装置。

【請求項 2 0】 請求項 1 3～1 9 のいずれか 1 項に記載の半導体装置において、前記回路ブロックはメモリ回路であり、前記第 1 配線はアドレス信号用の配線を構成し、前記第 1 配線は前記回路ブロックに共通に接続されることを特徴とする半導体装置。

【請求項 2 1】 請求項 1 3～1 9 のいずれか 1 項に記載の半導体装置において、前記回路ブロックはメモリ回路であり、前記第 1 配線はデータ入力用の配線であり、前記第 1 配線は前記回路ブロックに共通に接続されることを特徴とする半導体装置。

【請求項 2 2】 請求項 1 3～2 1 のいずれか 1 項に記載の半導体装置において、前記回路ブロックは異なるクロック信号用の配線に接続されることを特徴とする半導体装置。

【請求項 2 3】 請求項 1～2 2 のいずれか 1 項に記載の半導体装置において、前記回路ブロックはメモリ回路であり、前記信号用の端子は前記メモリ回路の入出力回路領域上に形成されることを特徴とする半導体装置。

【請求項 2 4】 (a) 複数の回路ブロックを第 1 方向に沿って配置する工程と、

(b) 前記複数の回路ブロック間を、前記第 1 方向に延在する第 1 配線によって

電氣的に接続する工程とを有し、

前記複数の回路ブロックの各々は、前記第 1 方向に交差する第 2 方向に沿って複数の信号用の端子が配置され、

前記複数の信号用の端子の各々は、前記第 2 方向に複数のチャネル分の空間が確保された構造となっており、

前記第 1 配線は、前記信号用の端子よりも上層の配線層に配置され、前記信号用の端子と電氣的に接続されることを特徴とする半導体装置の製造方法。

【請求項 2 5】 半導体チップに形成されるべき集積回路を設計するためのデータが記憶された記憶媒体であって、

前記記憶媒体に記憶されたデータは、第 1 方向に沿って配置された複数の回路ブロックのデータと、前記第 1 方向に沿って延在され、前記複数の回路ブロック間を電氣的に接続する第 1 配線のデータとを有し、

前記複数の回路ブロックの各々は、前記第 1 方向に交差する第 2 方向に沿って配置された複数の信号用の端子のデータを有し、

前記複数の信号用の端子の各々は、前記第 2 方向に複数のチャネル分の空間が確保された構造のデータを有し、

前記複数の信号用の端子の各々と、その上層の配線層に配置された前記第 1 配線との接続状態のデータを有していることを特徴とする記憶媒体。

【請求項 2 6】 請求項 2 5 記載の記憶媒体において、前記複数の信号用の端子の各々を、前記第 2 方向に延在させた状態で配置するデータを有することを特徴とする記憶媒体。

【請求項 2 7】 請求項 2 5 または 2 6 記載の記憶媒体において、前記複数の信号用の端子の各々を、前記第 1 方向に沿って複数配置し、その第 1 方向に互いに隣接する信号用の端子の位置を、前記第 2 方向にずらして配置するデータを有することを特徴とする記憶媒体。

【請求項 2 8】 請求項 2 5、2 6 または 2 7 記載の記憶媒体において、前記複数の信号用の端子の各々を、前記回路ブロックの枠内に配置するデータを有することを特徴とする記憶媒体。

【請求項 2 9】 請求項 2 5 ～ 2 8 のいずれか 1 項に記載の記憶媒体を用い

て半導体集積回路を設計することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置、その製造方法および記憶媒体技術に関し、特に、半導体装置のレイアウト設計技術に適用して有効な技術に関するものである。

【 0 0 0 2 】

【従来の技術】

半導体装置のレイアウト設計では、半導体装置の種類等に応じて種々のレイアウト設計方式がある。本発明者らが検討したレイアウト設計方式は、例えばマクロセル（メガセル）方式である。この方式は、例えばマイクロプロセッサ、メモリ、I/O（Input/Output）およびカスタム回路等のようなシステムを1チップ化するときには有効な方式であり、大小様々な回路ブロックをチップ領域に配置し、それらの間を配線する方式である。

【 0 0 0 3 】

【発明が解決しようとする課題】

ところが、上記本発明者らが検討した技術においては、以下の課題があることを本発明者は見出した。

【 0 0 0 4 】

すなわち、回路ブロック間を接続するために必要とする配線領域が半導体チップ上の無駄な領域となり、チップサイズが増大する問題がある。図20は、その様子の一例を示している。ここでは、信号端子50および電源端子51が、回路ブロック52のセル枠上に配置されている。この回路ブロック52を図20の左右横方向（X方向）に複数並べると、回路ブロック52間の信号接続のために隣接回路ブロック52間に第2層配線53aや第3層配線53bを配置するための配線領域54を設ける必要がある。これが、チップサイズの増加を招く。

【 0 0 0 5 】

本発明の目的は、チップサイズを縮小することのできる技術を提供することにある。

【 0 0 0 6 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 0 7 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 0 8 】

すなわち、本発明は、回路ブロックの信号用の端子を、複数の回路ブロックが配置される第1方向に交差する第2方向に複数のチャネル分を確保可能な構造とし、前記信号用の端子の引き出しを、前記信号用の端子よりも上層の配線であって、前記第1方向に延在する第1配線で行うものである。

【 0 0 0 9 】

また、本発明は、前記信号用の端子を、前記第2方向に延在させたものである。

【 0 0 1 0 】

また、本発明は、前記信号用の端子を、前記第1方向にも配置し、その第1方向に互いに隣接する信号用の端子を、前記第2方向にずらして配置したものである。

【 0 0 1 1 】

また、本発明は、前記回路ブロックに、前記第2方向に延在する電源用の端子を配置したものである。

【 0 0 1 2 】

また、本発明は、回路ブロックの電源用の端子を、複数の回路ブロックが配置される第1方向に交差する第2方向に延在させ、前記電源用の端子の引き出しを、前記電源用の端子よりも上層の配線であって、前記第1方向に延在する第1配線で行うものである。

【 0 0 1 3 】

また、本発明は、前記回路ブロックにメモリ回路が形成されているものである。

【 0 0 1 4 】

【発明の実施の形態】

本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【 0 0 1 5 】

1. 半導体装置または半導体集積回路装置というときは、シリコンウエハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、T F T (Thin-Film-Transistor) および S T N (Super-Twisted-Nematic) 液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

【 0 0 1 6 】

2. マクロセル(Macro Cell)とは、基本セルよりも高機能で、大規模な回路ブロックまたは機能ブロックを言う。マスクパターンが確定しているハードマクロと、ライブラリ情報はネットリスト表現までで、設計のたびにマスクパターンを生成するソフトマクロに分類される。マクロセルには、小規模な論理ゲートを表し高さ一定の標準セル(ポリセル)、規則的なレイアウト構造を持ちモジュールジェネレータにより入力パラメータに応じて自動生成されるR A M (Random Access Memory)、R O M (Read Only Memory)、P L A (Programmable Logic Array)、乗算器、加算機またはデータパスなどのようなモジュールセル、C P U (Central Processing Unit) やアナログセル、I / O (Input / Output) セル等がある。マクロセルは、マスクパターン情報以外に、自動配置配線のためのセル枠および端子情報、シミュレーションのための機能モデル、論理モデルおよび遅延パラメータ等のような情報がセルライブラリとして設計システム(コンピュータ等)に登録されており、シミュレーションのとき等、セルライブラリから簡単に呼び出して使用できる。R A M および R O M はメモリ回路(メモリモジュール)であり、R A M の例としては、D R A M (Dynamic RAM)、S R A M (Static RAM) または F R A M (Ferroelectric RAM) 等がある。また、R O M の例としては、マスク R O M (M R O M)、フラッシュメモリ(E E P R O M ; Electric Erasable Programmable Read Only Memory)等がある。

ble Programmable ROM) 等がある。

【 0 0 1 7 】

3. セル内配線とは、主としてセル内の所望の回路（機能）を構成するための信号用および電源用の配線を言う。

【 0 0 1 8 】

4. セル外配線（回路ブロック外配線、第 1 配線）とは、主として複数のセル間を接続して全体的な回路を構成するための信号用および電源用の配線を言う。

【 0 0 1 9 】

5. インナー端子とは、マクロセルのセル枠内に配置された端子を言う。

【 0 0 2 0 】

6. IP (Intellectual Property) とは、既に設計され、動作が確認されている回路機能ブロックを、設計資産として再利用が可能な回路ブロックのことを言う。

【 0 0 2 1 】

7. ネットリストとは、集積回路等の接続関係を表した設計データのことを言う。ネットリストは、コンピュータが処理できる形式になっている。一般的には、データをコンパクトにするために、接続関係を階層的に記述している。

【 0 0 2 2 】

8. 配線格子とは、配線を配置する経路（配線チャネル）を示す線であって、互いに直交する複数の配線格子線によって構成されている。なお、配線格子とマクロセルの境界とが一致するタイプと、一致しないタイプがある。前者は、マクロセルの境界に配線を配置できるので、配線容易性を向上できる。後者は、セルサイズを小さくできるので、半導体チップのサイズ縮小が可能となる。

【 0 0 2 3 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【 0 0 2 4 】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【 0 0 2 5 】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【 0 0 2 6 】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【 0 0 2 7 】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 8 】

また、本実施の形態においては、電界効果トランジスタを代表するMIS・FET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。

【 0 0 2 9 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【 0 0 3 0 】

(実施の形態1)

図1は、本発明の一実施の形態である半導体装置を構成する回路ブロックであるマクロセルMC1の平面図を示している。また、図2は、その図1に、配線格子（破線）およびセル外配線Lを付加したレイアウト平面図を示している。なお、半導体装置上において、互いに隣接する配線格子線の間隔は、例えば0.5 μ

m程度である。

【0031】

このマクロセルMC1には、例えばセル枠内に配置された複数の集積回路素子を、セル内配線によって電氣的に接続することで所定の回路機能が構成されている。セル内配線は、例えば第1、第2層配線で構成されている。図1には、マクロセルMC1の入力回路Aと出力回路Bとが例示されている。入力回路Aは、例えばCMIS (Complementary MIS) インバータ回路からなり、pMISQp1およびnMISQn1を有している。また、出力回路Bは、pMISQp2およびnMISQn2を有している。なお、図2には、マクロセルMC1のセル枠が配線格子の線上に配置される方式が例示されている。セル枠の配置の仕方は、これに限定されるものではなく、例えばセル枠を、隣接配線格子線間の半ピッチ分だけずらして配置する方式としても良い。

【0032】

マクロセルMC1は、信号用の複数の端子Tsを有している。この端子Tsは、マクロセルMC1内に形成された回路と、そのマクロセルMC1外の回路との信号の授受を行うための導体部であり、マクロセルMC1内における最上配線層の配線で形成されている。ここでは、端子Tsが、例えば第2層配線で構成されている。また、ここには、端子Tsに、マクロセルMC1内の入力回路Aの入力および出力回路Bの出力が電氣的に接続された状態が例示されている。入力回路AのpMISQp1およびnMISQn1のゲート電極は、端子Tsに電氣的に接続され、出力回路BのpMISQp2およびnMISQn2のドレイン領域は、端子Tsに電氣的に接続される。pMISQp1、pMISQp2のソース領域には、電源電圧Vddが供給され、nMISQn1、nMISQn2のソース領域には電源電圧Vddよりも低い電位の電源電圧Vssが供給される。なお、これらの電源電圧Vdd、Vssについては後述する。また、端子Tsは、第2層配線、第2層配線よりも下層の配線層である第1層配線またはその両方の配線を用いて入力回路A、出力回路Bに電氣的に接続される。

【0033】

また、端子Tsは、マクロセルMC1のセル枠内において、図1および図2の

上下縦方向（Y方向（第2方向））に沿う辺の近傍に、その辺に沿って一列に並んで配置されている。Y方向に隣接する端子Tsの間には、例えば図1および図2の左右横方向（X方向（第1方向））に延在する配線格子線が1本分だけ配置可能な間隔が置かれている。このように端子Tsをセル枠内に配置することにより（すなわち、インナー端子とすることにより）、マクロセルMC1の面積を縮小できる。また、マクロセルMC1の面積を大きくすることなく、複数の端子Tsを配置することができる。ただし、本発明は、これに限定されるものではなく、例えば端子Tsがセル枠上に配置される構造のものにも適用できる。また、ここでは、この端子（インナー端子）Tsが一列に並んで配置されている場合が例示されているが、複数列にしても良い。これについては後述する。

【0034】

また、本実施の形態においては、その端子（インナー端子）Tsが、上記Y方向に延びる配線格子線に沿ってその線上に、図2に示すように、上記Y方向に長い平面長方形形状のパターンで形成されている。すなわち、端子Tsは、X方向に延在する配線格子線が複数本通過可能なように、Y方向に延びて形成されている。ここでは、端子TsのY方向寸法が、例えばX方向の配線格子線を2本以上通過させることが可能なように設定されている。マクロセルMC1の外部からの端子Tsへの直接的な接続は、マクロセルMC1の上空配線となるセル外配線Lで行われる。このセル外配線Lは、端子（インナー端子）Tsよりも上層の配線層の配線、例えば第3層配線で構成されており、上記X方向に延びる配線格子線に沿ってその線上に配置されている。セル外配線Lは、スルーホールTH（図2参照）を通じて端子Tsと電氣的に接続されている。なお、スルーホールTHは、主に、X方向に延びる配線格子線とY方向に延びる配線格子線との交点に配置される。このようなマクロセルMC1の構造とすることにより、複数のマクロセルMC1を隙間無く（セル間に配線領域を設けなくても）配置できる。また、端子Tsを長方形形状としたことにより、配置配線工程時における配線チャネル効率を向上させることができ、配線の自由度を向上させることができる。これらにより、半導体チップのサイズ（チップサイズ）を縮小することが可能となる。

【0035】

図 3 および図 4 は、上記マクロセル MC 1 を X 方向に m 個、Y 方向に n 個配置することで構成した RAM または ROM 等のようなメモリ回路（モジュール）の一例を示している。図 3 は、データ入力を共通としたケース（アドレス空間の拡張）を例示し、図 4 は、アドレスを共通としたケース（ビット幅の拡張）を例示している。なお、図 3 および図 4 中の符号の LC はクロック信号用のセル外配線、LA はアドレス信号用のセル外配線、LDIN はデータ入力信号用のセル外配線および LDOUT はデータ出力信号用のセル外配線を示している。いずれもセル外配線 L を例示するものである。

【 0 0 3 6 】

図 3 および図 4 において、各マクロセル MC 1 の構成は同一となっている。各マクロセル MC 1 には、例えば所定のメモリ容量の RAM が形成されている。図 3 においては、データ入力を共通とするマクロセル MC 1 が、セル外配線 LC の延在方向（X 方向）に沿って隙間無く配置されている。また、図 4 においては、アドレスを共通とするマクロセル MC 1 が、セル外配線 LA の延在方向（X 方向）に沿って隙間無く配置されている。アドレス信号用のセル外配線 LA、データ入力信号用のセル外配線 LDIN およびデータ出力用のセル外配線 LDOUT は、各マクロセル MC 上を X 方向に延在するように配置される。

【 0 0 3 7 】

すなわち、図 3 に示すように、アドレス信号用のセル外配線 LA およびデータ出力信号用のセル外配線 LDOUT は、各々異なるマクロセル MC 1 に電氣的に接続され、データ入力信号用のセル外配線 LDIN は各々、これらのマクロセル MC 1 に共通に電氣的に接続される。

【 0 0 3 8 】

また、図 4 に示すように、アドレス信号用のセル外配線 LA は各々、これらのマクロセル MC 1 に共通に電氣的に接続され、データ入力信号用のセル外配線 LDIN およびデータ出力信号用のセル外配線 LDOUT は各々異なるマクロセル MC 1 に電氣的に接続される。

【 0 0 3 9 】

このような本実施の形態によれば、図 3 および図 4 に示すように、各マクロセ

ルMC 1の端子T sを、その上層の第3配線層のセル外配線Lによって引き出すことができるので、信号用の配線を配置するための配線領域をマクロセルMC 1間に設ける必要がない。このため、複数のマクロセルMC 1をX方向およびY方向のいずれにおいても隙間無く配置することができる。したがって、チップサイズを縮小することが可能となっている。

【0040】

また、図3および図4においては、クロック信号用のセル外配線LCをマクロセルMC 1毎に分けている。すなわち、クロック信号用のセル外配線LCは、各々異なるマクロセルMC 1に電氣的に接続される。これにより、必要なマクロセルMC 1のみを動作させて半導体装置全体の消費電力を抑えることができる。また、マクロセルMC 1毎に異なるクロック信号を入力することができる。

【0041】

図5は、マクロセルMC 1の配置と、信号用の端子T sの長手方向寸法との関係を説明するための説明図である。ここでは、端子T sの長手方向寸法が、X方向に延びる配線格子線を4本分配置可能な寸法に設定されている場合を例示している。この場合、マクロセルMC 1は、X方向に最大4個まで隙間無く配置することが可能である。これを越える場合は、セル外配線を配置できない。そこで、その場合は、マクロセルMC 1をY方向に展開する場合が例示されている。

【0042】

(実施の形態2)

本実施の形態は、信号用の端子を複数列配置する場合の一例を説明するものである。図6および図7は、その一例を示している。図6は、本実施の形態の半導体装置を構成する回路ブロックであるマクロセルMC 2の平面図を示している。また、図7は、その図6に、配線格子（破線）およびセル外配線Lを付加した図を示している。

【0043】

マクロセルMC 2において、端子T sの配置以外の構成は、前記実施の形態1のマクロセルMC 1で説明したのと同じである。本実施の形態においては、端子T sの列がX方向に複数列配置されている。そして、互いに隣接する端子列の端

子T sの位置がY方向にずれて配置されている。これにより、配線チャネルの有効利用が可能となる。例えば図7に示すように、最上のセル外配線L 1 (L)は、最も左の端子列の最上の端子T s 1 (T s)とスルーホールTHを通じて電氣的に接続される配線である。このセル外配線L 1は、その端子T s 1上のみならず、X方向に延在されているため、上記のように端子T sの位置をY方向にずらさないとすると、最上のセル外配線L 1の配置によって、左から2番目の端子列の端子T s 2 a, T a 2 bの接続部(配線チャネルの一部)も潰されてしまう。本実施の形態では、左から2番目の端子列の端子T sの位置が、最も左の端子列の端子T sの位置に対してY方向にずらしてあるので、その左から2番目の端子列中においてY方向に隣接する端子T s 2 a (T s), T s 2 b (T s)の間の配線格子線上にセル外配線L 1を通過させることができる。このため、左から2番目の端子列では、そのセル外配線L 1によって端子T s 2 a, T s 2 b上の接続部分が潰されずに済む。したがって、端子T s 2 a, T a 2 bの接続可能な部分を確保できるので、配線チャネルの有効利用が可能となる。このため、セル外配線Lの接続の自由度を確保できるので、チップサイズの縮小を推進することが可能となる。

【0044】

図8は、上記マクロセルMC 1, MC 2を複数配置することで構成したRAMまたはROM等のメモリ回路(モジュール)の一例を示している。ここでは、マクロセルMC 1, MC 2のサイズが異なる場合の構成を例示している。また、ここでは、サイズの異なる複数のマクロセルMC 1, MC 2のクロック信号用のセル外配線LCを共通とした場合を例示している。もちろん、サイズが同じでもタイプの異なるマクロセルを複数配置することもできる。

【0045】

(実施の形態3)

図9は、本発明の他の実施の形態である半導体装置を構成するマクロセルMC 3の平面図、図10は、図9に配線格子(破線)を付加したレイアウト平面図、図11は、図9の回路ブロックであるマクロセルMC 3の要部拡大平面図、図12は、図9のX 1 - X 1線の断面図をそれぞれ示している。

【 0 0 4 6 】

マクロセルMC3には、上記RAMまたはROM等のメモリ回路（モジュール）が形成されている。マクロセルMC3のセル枠内には、メモリセルアレイMA、Xデコーダ領域XDA、YデコーダYDAおよび入出力回路領域I/OAが配置されている。メモリセルアレイMAには、例えばDRAM、SRAMまたはFRAM等のようなメモリ回路が形成されている。すなわち、メモリセルアレイMAには、メモリセル、ワード線、データ線が形成されている。Xデコーダ領域XDAには、Xデコーダ回路が、また、Yデコーダ領域YDAには、Yデコーダ回路が形成されている。上記ワード線とデータ線との交点にメモリセルが配置され、ワード線はXデコーダ回路に電氣的に接続され、データ線はYデコーダ回路と電氣的に接続される。入出力回路領域I/OAには、前記した入力回路および出力回路の他に、入出力双方向回路が配置されている。

【 0 0 4 7 】

信号用の端子Tsの配置は、前記実施の形態2で説明したのと同じである。ここでは、その端子（インナー端子）Tsが、入出力回路領域I/OA内に配置されている。すなわち、端子Ts（インナー端子）と入出力回路領域I/OA上に配置することで配線遅延を少なくすることができる。また、本実施の形態では、マクロセルMC3のセル枠内の入出力回路領域I/OA内において、信号用の端子Ts群に隣接する位置に、電源用の端子Tvdd、Tvsが配置されている。電源用の端子Tvdd、Tvsは、マクロセルMC3に電源電圧を供給するための端子であり、信号用の端子Tsの長手方向（Y方向）に沿ってセル枠の上下の端から端まで延在する帯状のパターンで形成されている。これにより、マクロセルMC3の電源をY方向寸法内においてどこでも取ることができる。このため、電源用のセル外配線の引き回し自由度を向上させることが可能となる。また、マクロセルMC3に応じて可能な限り有効な箇所または数で電源を取ることができるので、電源電位の安定性を向上させることが可能となる。電源用の端子Tvddは、相対的に高電位の電源電圧Vddを供給するための端子であって、例えば1.8Vまたは3.3V程度に設定されている。また、電源用の端子Tvsは、半導体装置の基準電位（相対的に低電位の電源電圧Vss）を供給するた

めの端子であって、例えば0 V程度に設定されている。

【0048】

図11は、この電源用の端子T v d d、T v s sと、電源用のセル内配線L I v d d 1、L I v s s 1および電源用のセル外配線L v d d、L v s sとの接続状態を示している。電源用の端子T v d d、T v s sは、例えば第2層配線で構成されている。この端子T v d d、T v s sは、スルーホールT H 1を通じて、それぞれ第1層配線で構成された電源用のセル内配線L I v d d 1、L I v s s 1と電氣的に接続されている。また、端子T v d d、T v s sは、スルーホールT H 2を通じて、それぞれ第3層配線で構成された電源用のセル外配線L v d d、L v s sと電氣的に接続されている。なお、第3層配線で構成されるセル外配線Lの中には、この電源用の端子T v d d、T v s sの上方を単に通過するものもある。また、電源用の端子T v d d、T v s sは、図10および図11に示すように、Y方向に延在する配線格子線上に配置されている。

【0049】

このように、マクロセルMC3上およびその外部上をX方向に延在する電源用のセル外配線L v d d、L v s sを電源用の端子T v d d、T v s sよりも上層の配線層で構成し、かつ、電源用の端子T v d d、T v s sを介して、電源用の端子T v d d、T v s sよりも下層の電源用のセル内配線L I v d d、L I v s sに電氣的に接続されるように構成している。電源用の端子T v d d、T v s sをマクロセルMC3のセル枠の上端から下端にまで延在する帯状のパターンで形成することにより、電源用のセル外配線L v d d、L v s sと、電源用の端子T v d d、T v s sとの接続の自由度を高めるとともに、マクロセルMC3上を延在する信号用のセル外配線の配置の自由度を高めることができる。すなわち、これにより、マクロセルMC3上を通る電源用のセル外配線L v d d、L v s s、信号用のセル外配線の配置密度を高めることができ、高集積化することができる。また、電源用の端子T v d d、T v s sと第1層配線で構成された電源用のセル内配線L I v d d、L I v s sとの接続の自由度を向上させることができる。なお、第1層配線L I v d d、L I v s sは、例えばマクロセルMC3内の各回路を構成する集積回路素子に電氣的に接続される。

【 0 0 5 0 】

次に、図 1 2 を用いてマクロセル MC 3 の一部の縦構造を説明する。なお、図 1 2 には、集積回路素子として、例えば上記出力回路用の n M I S Q n 2 の断面が例示されている。ただし、集積回路素子は、これに限定されるものではなく種々あり、例えば p M I S、ダイオード、バイポーラトランジスタ、抵抗またはキャパシタがある。

【 0 0 5 1 】

半導体チップを構成する半導体基板（以下、単に基板という）1 S は、例えば p 型の単結晶シリコンからなる。この基板 1 S の主面の分離領域には、例えば溝型の分離部 2（トレンチアイソレーション）が形成されている。分離部 2 は、基板 1 S の主面から所定の深さに掘られた溝内に、例えば酸化シリコン（ SiO_2 ）等のような絶縁膜が埋め込まれることで形成されている。分離部 2 は、溝型に限定されるものではなく種々変更可能であり、例えばロコス（LOCOS ; Local Oxidization of Silicon）法によって形成された酸化シリコン等からなるフィールド絶縁膜としても良い。

【 0 0 5 2 】

また、この分離部 2 に囲まれた活性領域において、基板 1 S の主面（デバイス面）から所定の深さに渡って、p ウエル P W L 1、P W L 2 および n ウエル N W L 1 と称する半導体領域が形成されている。このうち、p ウエル P W L 2 は、n 型の埋め込み領域 N I S O と称する半導体領域に取り囲まれている。すなわち、p ウエル P W L 2 は、基板 1 S と電氣的に分離されている。これにより、基板 1 S を通じて p ウエル P W L 2 にノイズ等が伝搬するのを抑制または防止できる。また、p ウエル P W L 2 の電位を基板 1 S とは異なる電位に設定できる。

【 0 0 5 3 】

p ウエル P W L 1、P W L 2 には、例えばホウ素（B）等のような p 型領域を形成する不純物が導入され、n ウエル N W L 1 および n 型の埋め込みウエル N I S O には、例えばリン（P）またはヒ素（As）等のような n 型領域を形成する不純物が導入されている。ここでは、上記 p ウエル P W L 2 に n M I S Q n 2 が形成されている。n M I S Q n 2 は、ソースおよびドレイン用の一対の半導体領

域 3 と、ゲート絶縁膜 4 と、ゲート電極 5 A とを有している。この $nMISQn$ 2 のチャンネルは、例えば一对の半導体領域 3 の間の基板 1 S において、ゲート電極 5 A 下のゲート絶縁膜 4 と基板 1 S との界面部分に形成される（表面チャンネル）。

【 0 0 5 4 】

$nMISQn$ 2 のソース、ドレイン用の半導体領域 3 は、例えばリンまたはヒ素が導入されて n 型に設定されている。ゲート絶縁膜 4 は、例えば酸化シリコン膜からなる。また、ゲート絶縁膜 4 を酸窒化膜としても良い。これにより、ホットキャリア耐性を向上させることが可能となる。ゲート電極 5 A は、例えば n 型の低抵抗ポリシリコンからなる。ゲート電極 5 A には、例えばリンまたはヒ素が導入されている。このゲート電極 5 A は、低抵抗ポリシリコンの単体膜に限定されるものではなく種々変更可能である。例えば n 型の低抵抗ポリシリコン膜上に、コバルトシリサイド ($CoSi_x$) を形成した、いわゆるポリサイドゲート構造としても良い。このコバルトシリサイドに変えてチタンシリサイド ($TiSi_x$) やタングステンシリサイド (WSi_x) を採用することもできるが、コバルトシリサイドの方が抵抗を低減できる。また、 n 型の低抵抗ポリシリコン膜上に窒化チタン (WN) 等のようなバリア膜を介してタングステン (W) 膜を堆積した、いわゆるポリメタルゲート構造としても良い。この場合、ゲート電極 5 A の抵抗およびゲート電極 5 A と配線との接触抵抗を大幅に低減することができる。

【 0 0 5 5 】

この基板 1 S の主面上には、例えば酸化シリコンからなる層間絶縁膜 6 a, 6 b が下層から順に堆積されている。層間絶縁膜 6 a 上に第 1 配線層が形成され、層間絶縁膜 6 b 上に第 2 配線層が形成されている。上記信号用の端子 T_s および電源用の端子 T_{vdd} , T_{vss} は、層間絶縁膜 6 b 上に形成されている。これら端子 T_s , T_{vdd} , T_{vss} は、例えばアルミニウム (Al) またはアルミニウム-Si-銅合金等からなり、同一のパターニング時にパターン形成されている。

【 0 0 5 6 】

端子 T_s は、層間絶縁膜 6 b に穿孔されたスルーホール TH を通じて、第 1 層

配線で構成されるセル内配線 $L I s 1$ と電氣的に接続されている。セル内配線 $L I s 1$ は、層間絶縁膜 6 a に穿孔されたコンタクトホール $C N T 1$ を通じて $n M I S Q n 2$ の一方の半導体領域 3 と電氣手的に接続されている。なお、セル内配線 $L I s 1$ は、端子 $T s$ 等と同じ材料からなる。

【 0 0 5 7 】

端子 $T v s s$ は、層間絶縁膜 6 b に穿孔されたスルーホール $T H 1$ を通じて、第 1 層配線で構成されるセル内配線 $L I v s s 1$ と電氣的に接続されている。セル内配線 $L I v s s 1$ は、層間絶縁膜 6 a に穿孔されたコンタクトホール $C N T 2$ を通じて p ウエル $P W L 1$ の p^+ 型の半導体領域 7 と電氣的に接続されている。なお、セル内配線 $L I v s s 1$ は、セル内配線 $L I s 1$ と同じ材料からなり、セル内配線 $L I s 1$ と同一のパターニング時にパターン形成されている。

【 0 0 5 8 】

次に、このような本実施の形態の技術思想を用いて作成した半導体チップ（以下、単にチップという）の平面図を図 1 3 および図 1 4 に示す。なお、図 1 4 は、マクロセルを配置した段階であって、配線処理を行う前のチップ 1 C の平面図を示している。

【 0 0 5 9 】

チップ 1 C は、平面四角形状の基板 1 S の小片からなり、このチップ 1 C 内には、例えばコンピュータシステムが形成されている（ $S o C$; System On Chip）。ただし、本発明自体は $S o C$ に限定されるものではなく種々適用可能である。

【 0 0 6 0 】

チップ 1 C の外周近傍には、複数の外部端子 8 がその外周辺に沿って配置されている。もちろん、外部端子 8 の配置は、これに限定されるものではなく、例えばチップ 1 C の中央に配置される構成でも良い。この外部端子 8 の配置領域を含むチップ 1 C の周辺領域は、チップ 1 C の入出力回路領域、すなわち、 I/O セルが配置される領域となっている。なお、一般的に外部端子 8 は、それに直接接触された状態で接続されるボンディングワイヤやバンプ電極（突起電極）等を通じて、パッケージのリードと電氣的に接続され、さらにそのパッケージを実装する配線基板上の配線を通じて上記チップ 1 C の外部の外部装置（あるいは外部回

路) の出力と電氣的に接続されるようになっている。

【 0 0 6 1 】

チップ 1 C の内部回路領域には、複数のマクロセル MC 3, MC 4, MC 5 が配置されている。上記のように RAM が形成されたマクロセル MC 3 は、互いの隣接間に隙間を生じることなく配置されている。また、マクロセル MC 4 には、例えば ROM が形成されている。このマクロセル MC 4 も、互いに隣接間に隙間を生じることなく配置されている。したがって、無駄領域を低減または無くすることができるので、チップサイズを縮小することが可能となっている。Y 方向に隣接するマクロセル MC 3 の電源用の端子 T v d d, T v s s は、互いに電氣的に接続されている。また、Y 方向に隣接するマクロセル MC 4 の電源用の端子 T v d d, T v s s も、互いに電氣的に接続されている。

【 0 0 6 2 】

これらマクロセル MC 3, MC 4 の配置領域を除く領域は、コアセル領域またはカスタム領域とされている。このコアセル領域またはカスタム領域に配置されたマクロセル MC 5 には、例えば所望のロジック回路が形成されている。このマクロセル MC 5 にも本発明の技術思想を取り入れている。各マクロセル MC 3 ~ MC 5 の隣接間には、これらを接続するための配線領域が用意されている。この配線領域には、各マクロセル MC 3 ~ MC 5 を電氣的に接続するためのセル外配線が配置されている。セル内配線およびセル外配線の構造は、前述したのと同じである。レイアウト設計に際しては、図 1 4 に示すように、複数のマクロセル MC 3 ~ MC 5 を配置した後、これらマクロセル MC 3 ~ MC 5 を接続するセル外配線を配置することにより、全体的に所望の回路機能を有する半導体装置を設計する。

【 0 0 6 3 】

(実施の形態 4)

本実施の形態の半導体装置における回路ブロックであるマクロセルの一例を図 1 5 に示す。このマクロセル MC 6 においては、信号用の端子 T s が平面正方形とされ、その信号用の端子 T s の周囲 (特に Y 方向) に、信号用の端子 T s とセル外配線とを接続するための配線チャネル領域 C が配置されている。この配線

チャネル領域C自体は、半導体装置の設計段階における配置配線の際にデータ上で設けられる仮想の領域である。この配線チャネル領域Cに配線が配置されるか否かはセル外配線との接続状態によって決まる。

【 0 0 6 4 】

このような本実施の形態によれば、信号用の端子T sを短くできるので、この端子T sによる配線容量を前記実施の形態1～3の場合よりも低減できる。特に配線の信号速度が厳しい場合に、この技術思想適用することにより、配線遅延の低減に効果がある。このような本実施の形態の構造と、前記実施の形態1～3の構造とを同一マクロセル内で実現しても良い。例えば特にクリティカルなパスが配置される個所では、本実施の形態のように信号用の端子を平面正形状とし、それ以外の箇所では前記実施の形態1～3のように信号用の端子T sを平面長形状としても良い。これにより、チップサイズの縮小と、特性（信号速度）向上との両立が可能となる。また、端子列の1列目は、前記実施の形態1のようにし、端子列の2列目は、本実施の形態のようにする、あるいはその逆とする等、種々変更できる。この場合は、前記実施の形態2と同様の効果が得られる他、特性（信号速度）の向上を図ることができる。

【 0 0 6 5 】

図16は、上記マクロセルMC6を複数配置した場合に、セル外配線LC, LAと信号用の端子T sとの接続方法の一例を示している。ここでは、2列目以降のマクロセルMC6においては、セル外配線LC, LAを一旦スルーホールTHを通じて、配線チャネル領域C内のセル内配線L I s 2に接続し、そのセル内配線L I s 2を通じて端子T sと電氣的に接続する。

【 0 0 6 6 】

このようにして構成された半導体装置の要部平面図を図17に示す。1列目のマクロセルMC6においては、信号用の端子T sが、通常の平面正形状の端子となっている。セル外配線LC, LAは、スルーホールTHを通じて、1列目の端子T sと直接電氣的に接続されている。2列目以降のマクロセルMC6においては、セル外配線LC, LAが、スルーホールTHを通じて第2層配線であるセル内配線L I s 2と電氣的に接続されている。このセル内配線L I s 2は、図1

7のY方向に延在されて端子Tsと接続されている。すなわち、セル外配線LC, LAは、セル内配線LIs2を通じてそれと一体的に形成された端子Tsと電氣的に接続されている。3列目のマクロセルMC6では、そのセル内配線LIs2のY方向寸法が、2列目のマクロセルMC6のセル内配線LIs2よりも長くなっている。同じ長さにすると、セル外配線LC, LAと、3列目のマクロセルMC6の端子Tsとを接続できないからである。この例では、チップサイズを縮小できる。また、配線容量を低減できるので、特性（信号速度等）を向上させることができる。

【0067】

（実施の形態5）

前記実施の形態1～4で説明した回路ブロックであるマクロセルMC1, MC2, MC3, MC6（以下、マクロセルMCで代表する）は、集積回路の一部を構成するIP部品として使用できる。このマクロセルMCを特定するためのデータ（以下、IPモジュールデータという）は、磁気ディスク、フロッピーディスク、ハードディスク、CD-ROM、MO（マグネット・オプティカル・ディスク）等のような記憶媒体に、コンピュータにより読み取り可能な状態で記憶されている。

【0068】

このIPモジュールデータは、1つのチップ1Cに形成されるべき集積回路をコンピュータを用いて設計するためのデータである。IPモジュールデータは、チップ1Cに形成するための図形パターンを定める図形パターンデータと、マクロセルの機能を定める機能データとを有している。

【0069】

図形パターンデータは、例えば半導体装置を製造する際に使用されるマスクパターンを形成するためのデータであり、例えばマスクパターンを形成するための描画データである。マスクパターンのデータは、チップ1C上の半導体領域（活性領域）、素子分離領域、ゲート電極、配線層、絶縁膜、接続孔（コンタクトホールやスルーホール）等のような回路形成層毎に、図形パターンを規定するデータであり、リソグラフィ技術におけるフォトマスクのパターンを生成することが

できるようなデータである。また、上記機能データは、例えばマクロセルの機能をHDL (Hardware Description Language) 等のようなコンピュータ言語で機能記述したデータである。

【 0 0 7 0 】

図18には、集積回路の設計に用いられるエンジニアリングワークステーション、パーソナルコンピュータ若しくは設計装置等のようなコンピュータ10の一例が示されている。このコンピュータ10は、プロセッサおよびメモリなどを実装したプロセッサボード、そして各種インターフェイスボードを搭載した本体10aに、ディスプレイ10b、キーボード10c、ディスクドライブ10d等のような代表的に示された周辺機器が接続されている。上記図形パターンデータおよび機能データを含むIPモジュールデータは、上記記憶媒体11に格納されている。特に制限されないが、記憶媒体11に記憶されているIPモジュールデータは、その記憶媒体11を前記ディスクドライブ10dに装着することで、コンピュータ10の本体10aに読み込まれる。例えば読み込まれたIPモジュールデータが、HDLで記述された記述データであった場合、上記コンピュータ10は、これを解読して処理を行う。解読して処理を行うために、上記コンピュータ10は、特定のプログラムを実行する。コンピュータ10は、分散処理システムであっても良い。例えばディスクアクセス、レイアウト演算、マンマシン・インターフェイスのそれぞれを個々のコンピュータを用いて処理させ、処理結果を連携して利用可能にしても良い。なお、IPモジュールデータの容量が大きくなり、1個の記憶媒体11に格納することが不可能となった場合には、複数の記憶媒体11に渡って上記IPモジュールデータが格納されるようにしても良い。もちろん、上記IPモジュールデータを予め複数の記憶媒体11に格納するように分割しておいて、複数の記憶媒体11に格納しても良い。

【 0 0 7 1 】

マクロセルMCを採用する設計処理は、前記記憶媒体11からIPモジュールデータをコンピュータ10に読み込み、読み込んだIPモジュールデータに対応するマクロセルMCを1つの内蔵モジュールとして含むマイクロコンピュータのような半導体装置を設計する処理の一部に含まれる処理として位置付けることが

できる。

【 0 0 7 2 】

図 1 9 には、前記 I P モジュールデータを用いて半導体装置を設計する処理の一例が全体的に示されている。設計処理の方法は、この方法により形成されたマスクパターンを用いて半導体装置が製造されることから、これを半導体装置の製造方法と見なすことができる。

【 0 0 7 3 】

まず、論理合成では、マクロセル間の接続などの処理を行う（工程 1 0 0）。ここでは高位レベルの設計データ（ハードウェア記述言語、論理式、真理値表等）から論理回路（論理図、ネットリスト等）を自動生成する。最終的なネットリストを生成するまでの論理合成工程では、例えば論理圧縮（LogicMinimization）、因数化（Factoring）および平坦化（Flatten）等のような走査を繰り返して、論理最適化を行う。

【 0 0 7 4 】

続く論理検証では、論理合成されたものを論理検証する（工程 1 0 1）。ここでは、設計者が意図したとおりに論理回路が動作するか否かを検証する。例えば各論理ゲートの論理動作、立ち上がり／立ち下がり時間等と、ネットリストを入力し、テストベクトル（論理回路機能をテストするための一連の入力信号パターン）を印加して出力された信号値を期待値とし比較する等して検証する。

【 0 0 7 5 】

この論理検証後、集積回路全体のレイアウト設計が行われる（工程 1 0 2）。ここでは、論理設計に従って、フォトマスクの原画となるマスクパターンレイアウトを作成する。半導体装置の論理回路（ネットリスト）に基づき、仕様機能を満足させるよう、トランジスタ、抵抗等のような集積回路素子の寸法を決めながら配置し、これら集積回路素子間を配線する。ここでは、プロセス側からのデザイン・ルールにも従わなければならない。電気的特性を考慮しながら配置配線の最適化を行い、できる限りチップサイズを小さくする。

【 0 0 7 6 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明した

が、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 7 7 】

例えば前記実施の形態 1、2 においては、マクロセルにおける全ての信号用の端子が平面長方形形状の場合について説明したが、これに限定されるものではなく、例えば平面長方形形状の端子と、平面正方形形状の通常の端子とを配置するマクロセル構造としても良い。この平面正方形形状の端子は、例えば複数のマクロセルで共通の信号用の端子とすることができる。これにより、この端子群全体の占有面積を縮小できる。

【 0 0 7 8 】

また、前記実施の形態 1～5 の配線構造に代えて、層間絶縁膜に溝や孔を設けその中に導体膜（例えば銅（Cu）配線）を埋め込むことで配線を形成する、いわゆるダマシン配線構造を採用しても良い。

【 0 0 7 9 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である SoC に適用した場合について説明したが、それに限定されるものではなく、例えばゲートアレイやスタンダードセルに代表される ASIC（Application Specific IC）等のような他の半導体装置にも適用できる。

【 0 0 8 0 】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【 0 0 8 1 】

すなわち、本発明によれば、回路ブロックの信号用の端子を、複数の回路ブロックが配置される第 1 方向に交差する第 2 方向に複数のチャネル分を確保可能な構造とし、前記信号用の端子の引き出しを、前記信号用の端子よりも上層の配線であって、前記第 1 方向に延在する第 1 配線で行うことにより、第 1 方向に隣接する回路ブロックを隙間無く配置できるので、チップサイズを縮小することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態である半導体装置を構成するマクロセルの平面図である。

【図 2】

図 1 に配線格子およびセル外配線を付加したレイアウト平面の平面図である。

【図 3】

図 1 のマクロセルを複数個配置することで構成した半導体装置の要部平面の一例の説明図である。

【図 4】

図 1 のマクロセルを複数個配置することで構成した半導体装置の要部平面の一例の説明図である。

【図 5】

図 1 のマクロセルの配置と、信号用の端子の長手方向寸法との関係を説明するための説明図である。

【図 6】

本発明の他の実施の形態である半導体装置を構成するマクロセルの平面図である。

【図 7】

図 6 に配線格子およびセル外配線を付加したレイアウト平面の平面図である。

【図 8】

図 1 および図 6 のマクロセルを複数個配置することで構成した半導体装置の要部平面の一例の説明図である。

【図 9】

本発明の他の実施の形態であるマクロセルの一例の平面図である。

【図 1 0】

図 9 に配線格子を付加したレイアウト平面の平面図である。

【図 1 1】

図 9 のマクロセルの電源用の端子とセル内配線およびセル外配線との接続状態

を示す要部平面図である。

【図 1 2】

図 9 の X 1 - X 1 線の断面図である。

【図 1 3】

図 9 のマクロセルを用いた半導体装置を構成する半導体チップの一例の平面図である。

【図 1 4】

図 1 3 の配線を配置する前の半導体チップの平面図である。

【図 1 5】

本発明のさらに他の実施の形態であるマクロセルの一例の平面図である。

【図 1 6】

図 1 5 のマクロセルを用いる場合の配線接続方法を説明するための半導体装置の要部平面図である。

【図 1 7】

図 1 6 で説明した配線接続方法で製造された半導体装置の要部平面図である。

【図 1 8】

本発明の他の実施の形態である半導体装置の製造方法で用いるコンピュータの説明図である。

【図 1 9】

図 1 8 のコンピュータを用いて半導体装置を設計する際のフロー図である。

【図 2 0】

本発明者らが検討した半導体装置のレイアウト設計の説明図である。

【符号の説明】

- 1 C 半導体チップ
- 1 S 半導体基板
- 2 分離部
- 3 半導体領域
- 4 ゲート絶縁膜
- 5 A ゲート電極

6 a, 6 b 層間絶縁膜

7 半導体領域

8 外部端子

1 0 コンピュータ

1 0 a 本体

1 0 b ディスプレイ

1 0 c キーボード

1 0 d ディスクドライブ

1 1 記憶媒体

MC 1 ~ MC 6 マクロセル

L, L 1 セル外配線

LC セル外配線

LA セル外配線

LDIN セル外配線

LDOUT セル外配線

L v d d, L v s s セル外配線

L I s 1, L I s 2 セル内配線

L I v d d 1, L I v s s 1 セル内配線

T s, T s 1, T s 2 a, T s 2 b 端子

T v d d 端子

T v s s 端子

TH, TH 1, TH 2 スルーホール

CNT 1, CNT 2 コンタクトホール

A 入力回路

B 出力回路

C 配線チャネル領域

Q p 1, Q p 2 pチャネル型のMIS・FET

Q n 1, Q n 2 nチャネル型のMIS・FET

N I S O 埋め込み領域

PWL 1, PWL 2 p ウエル

NWL 1 n ウエル

MA メモリセルアレイ

I / O A 入出力回路領域

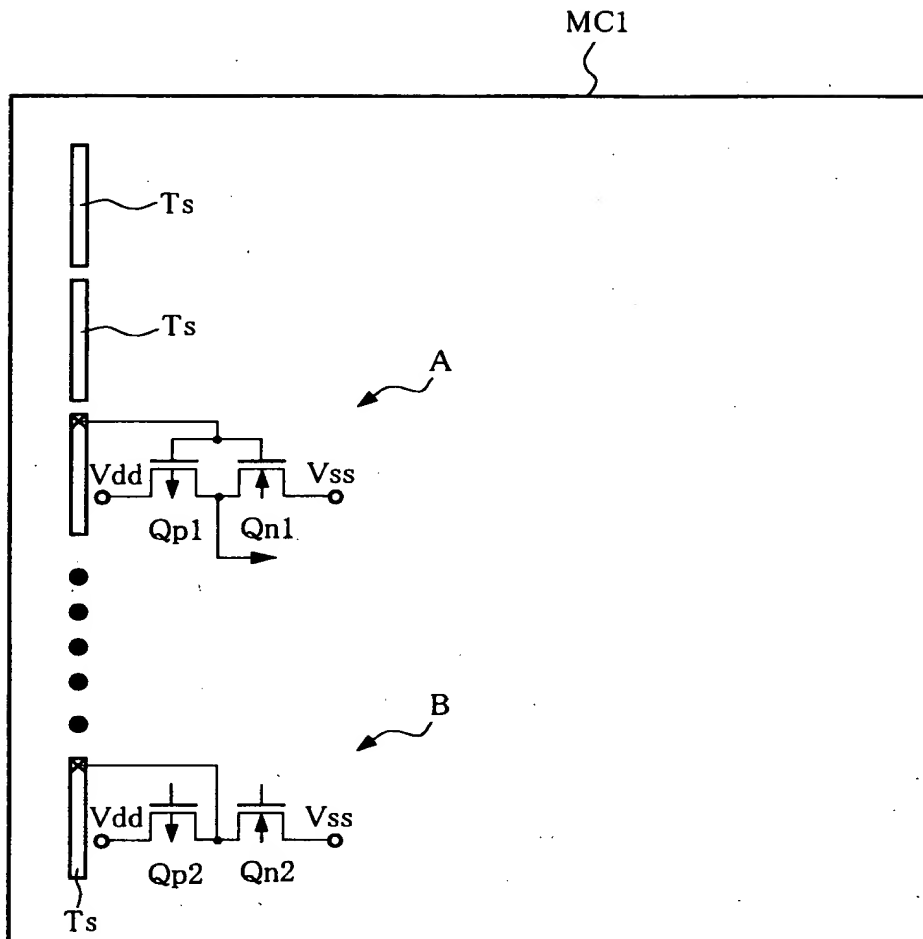
XDA Xデコーダ領域

YDA Yデコーダ領域

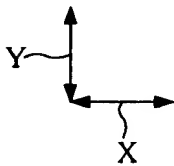
【書類名】 図面

【図 1】

図 1

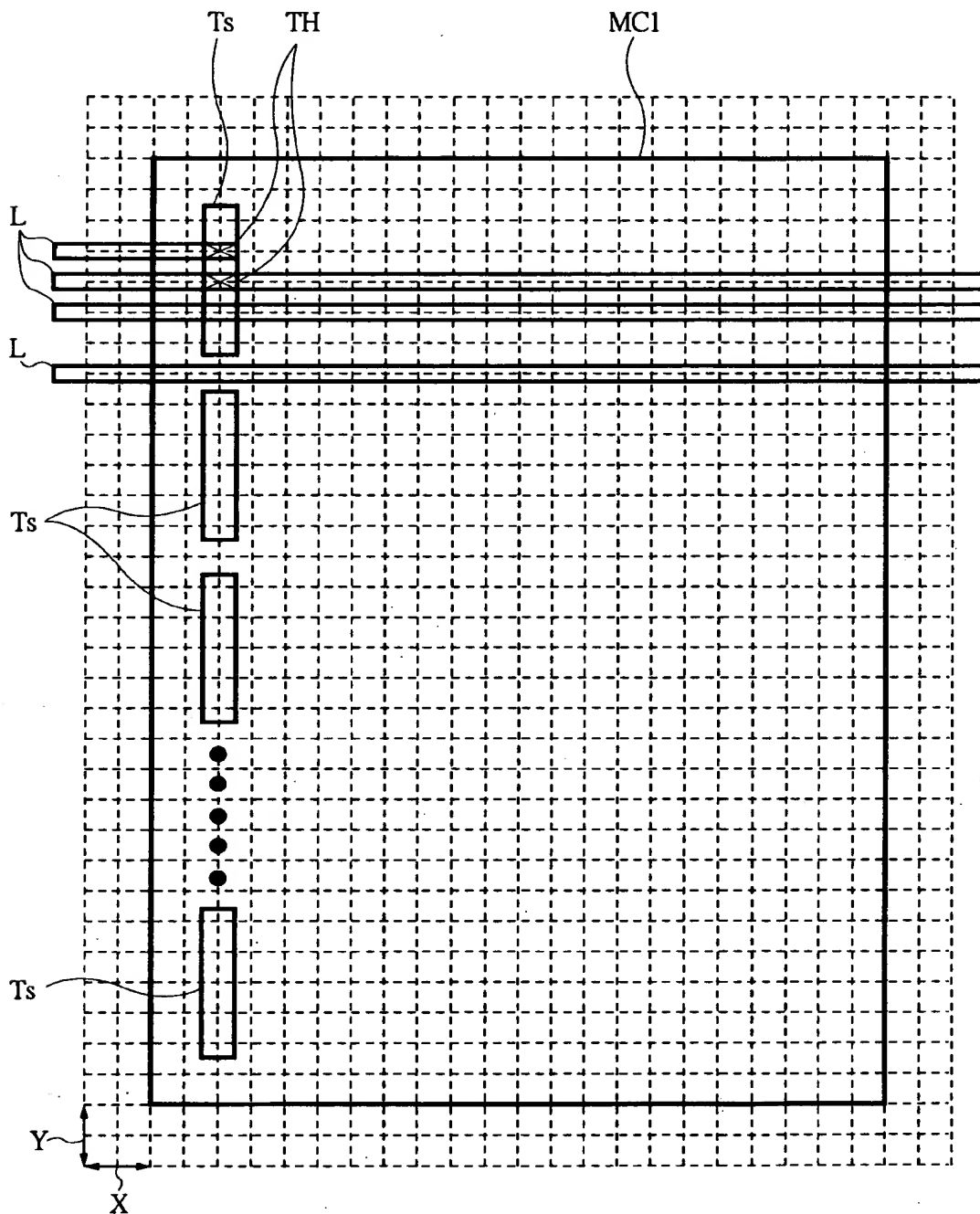


MC1 : マクロセル
Ts : 端子



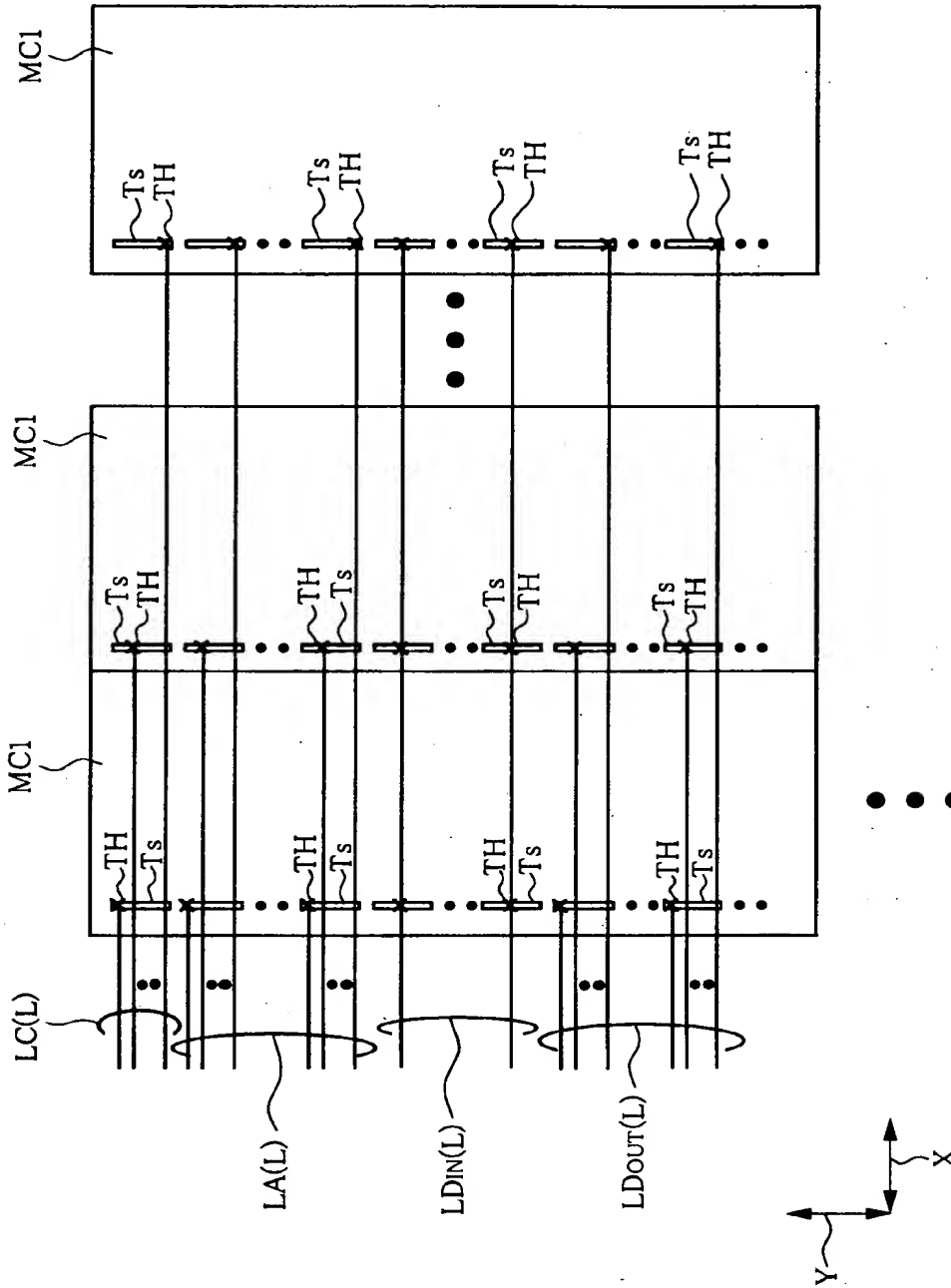
【図 2】

図 2



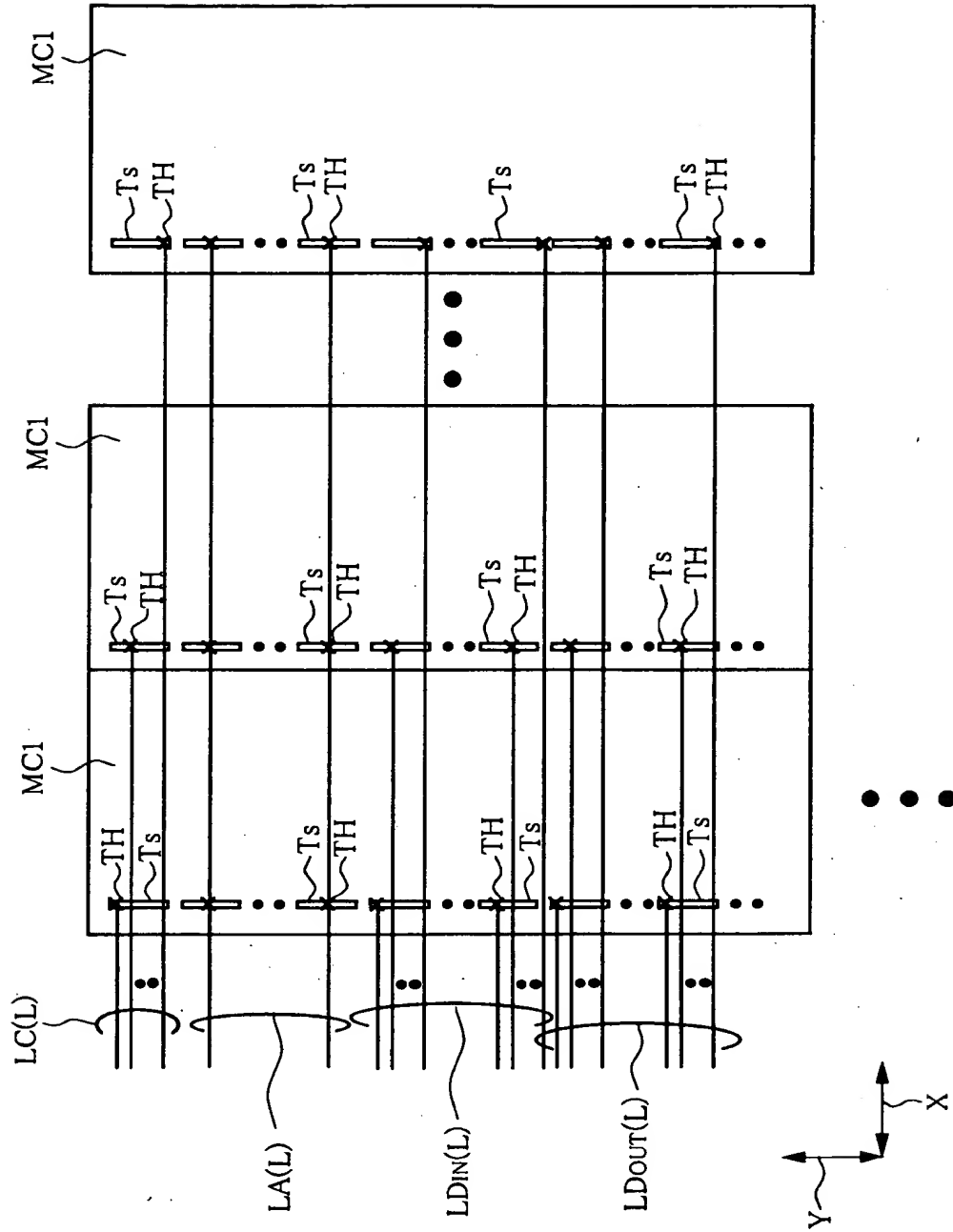
【図 3】

図 3



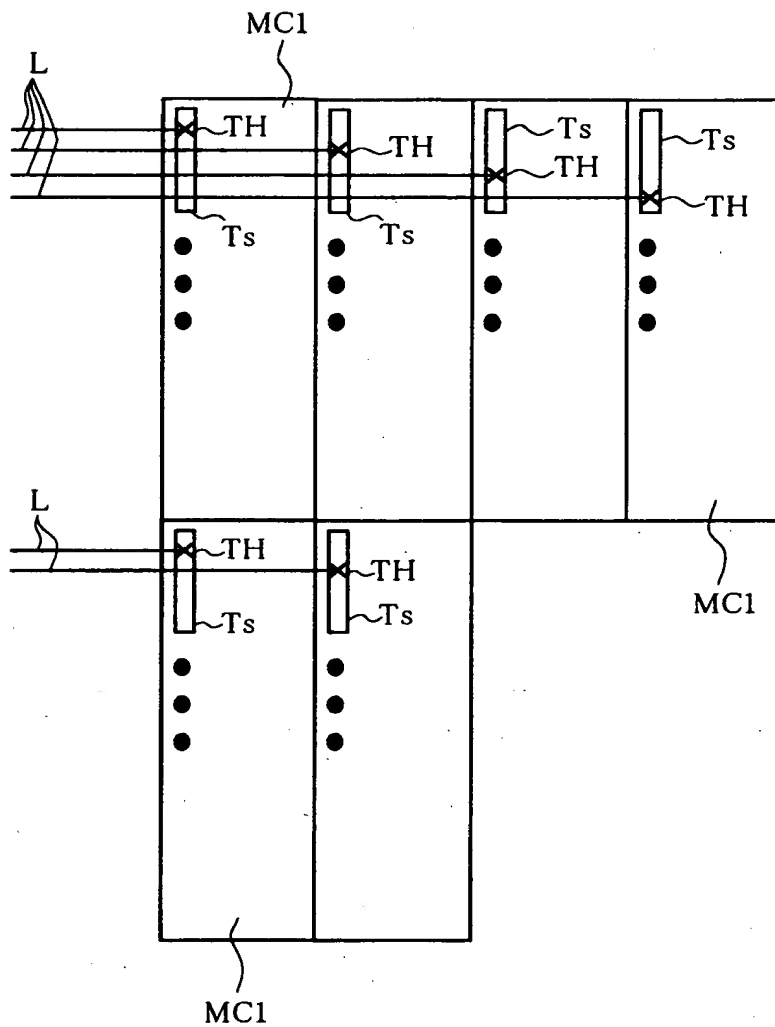
【図 4】

4



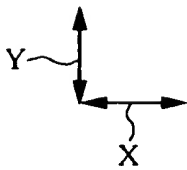
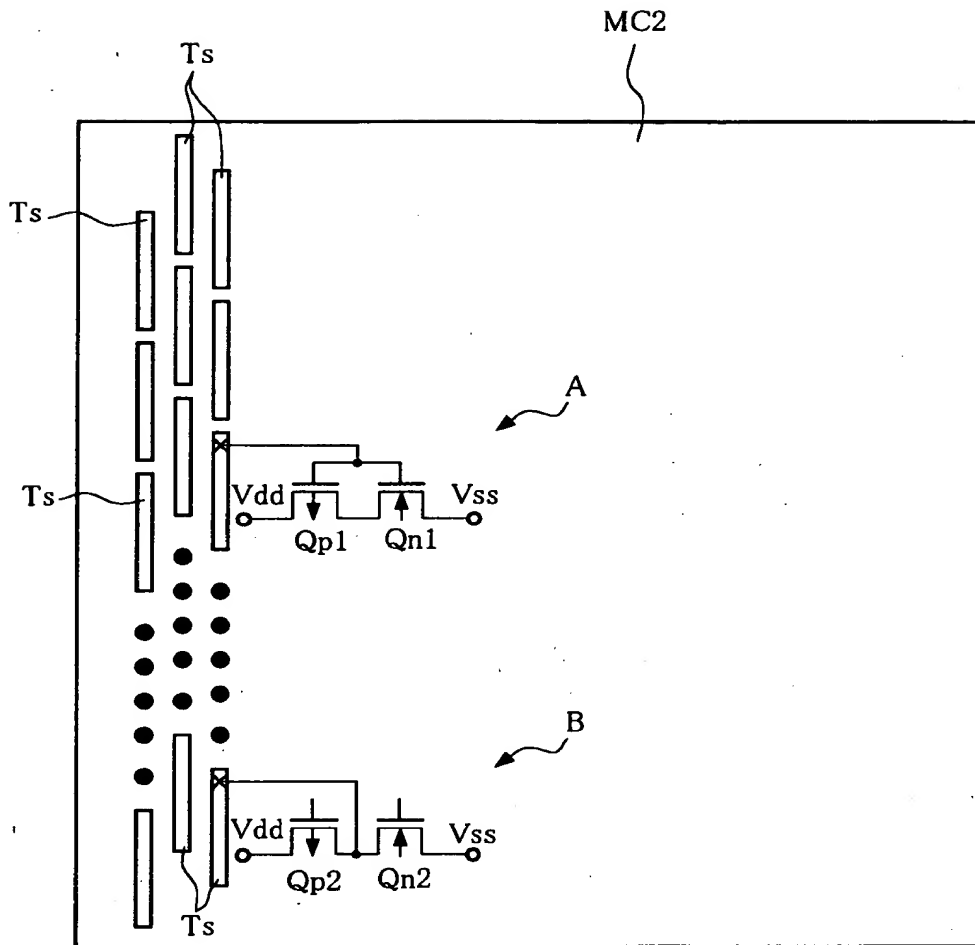
【図 5】

图 5



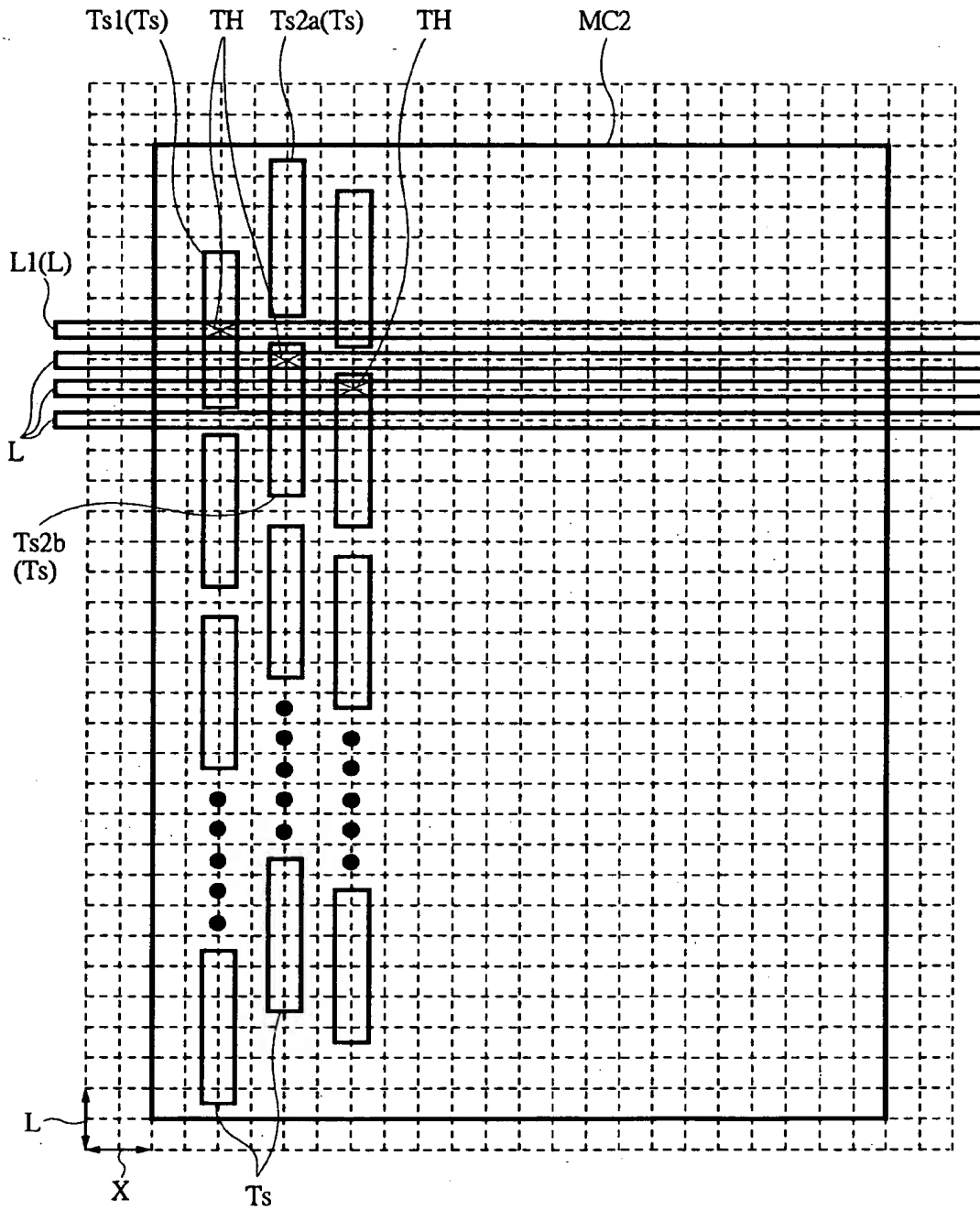
【図 6】

図 6

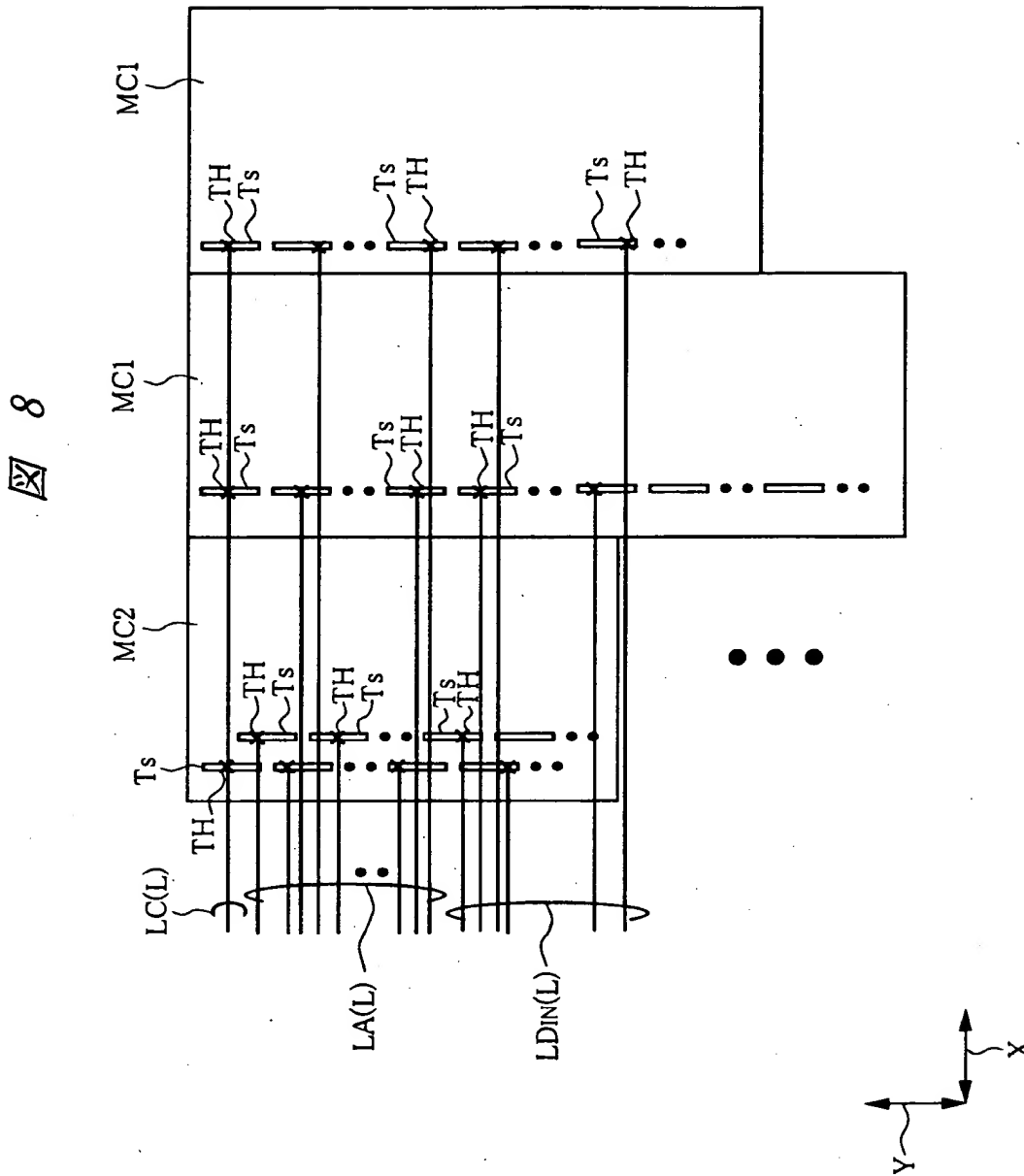


【図 7】

図 7

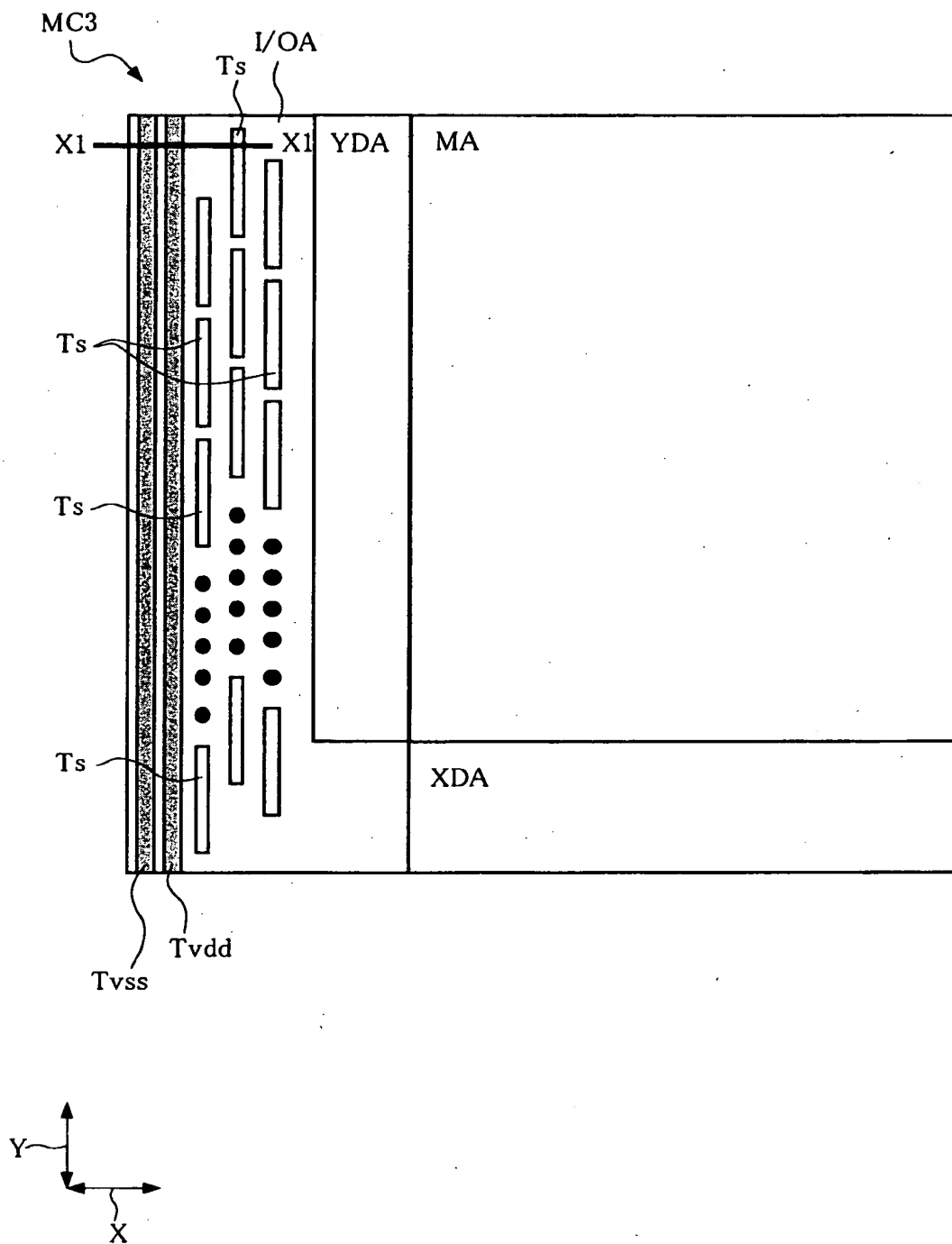


【図 8】



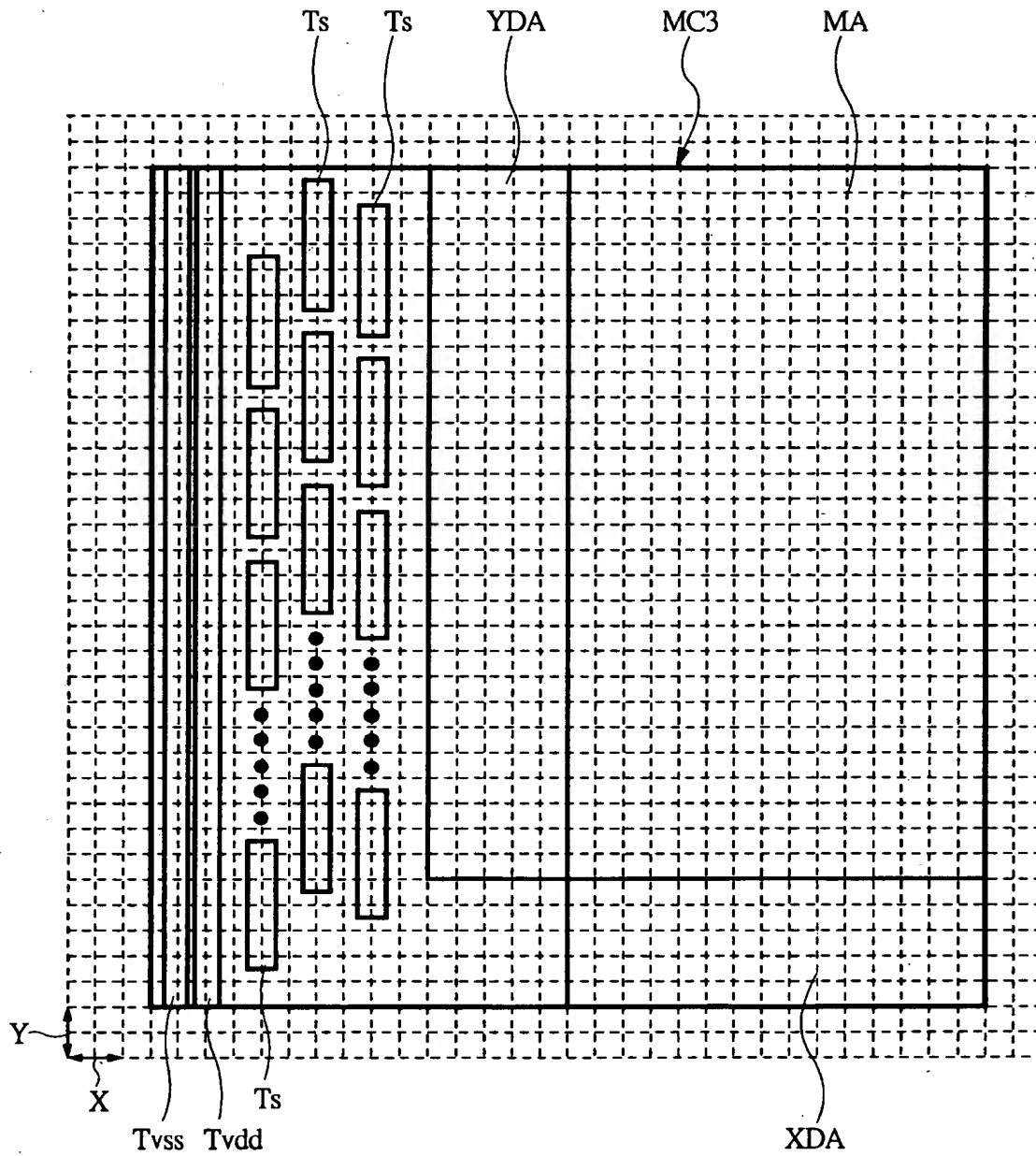
【図9】

図 9



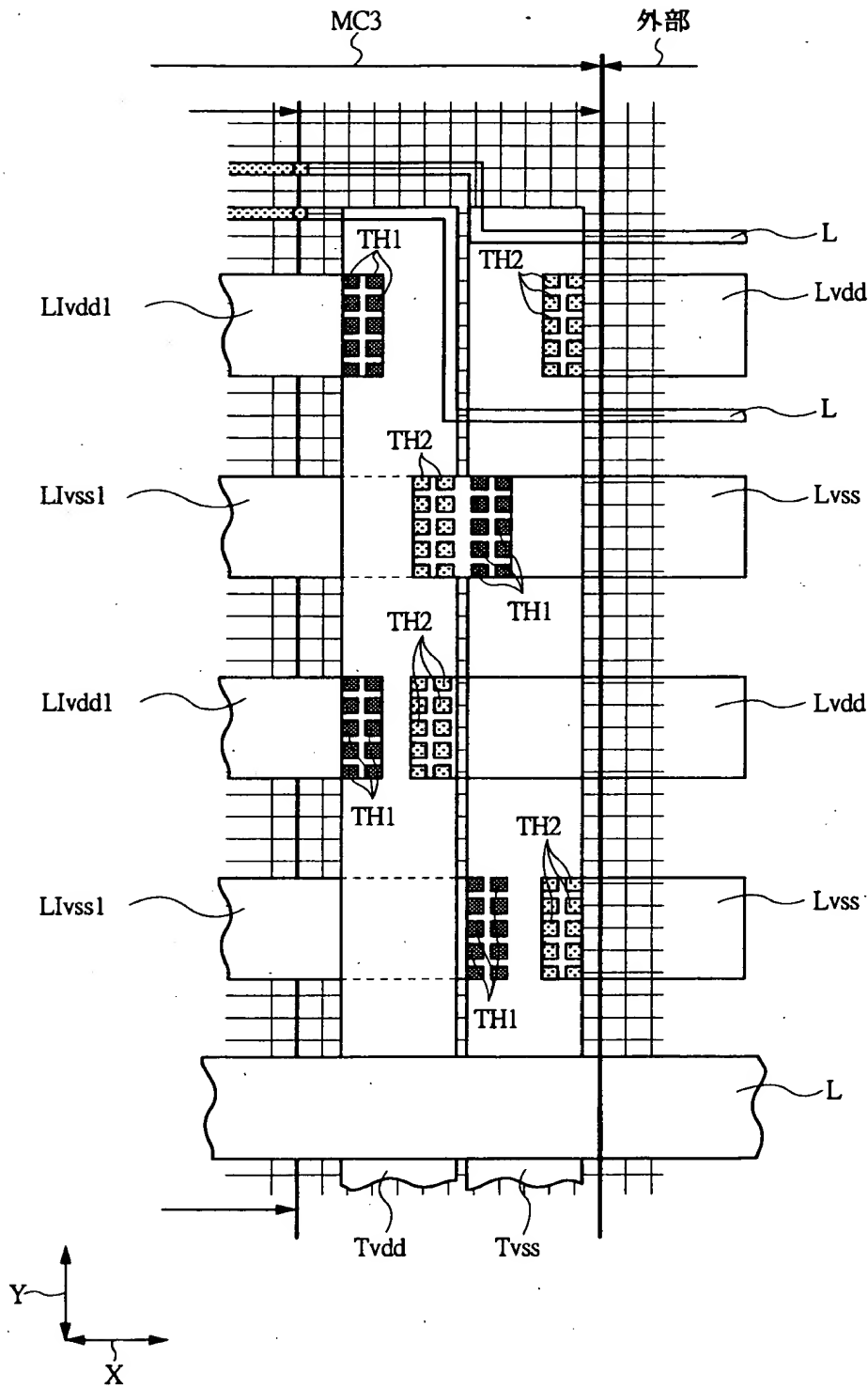
【図 1 0】

図 10



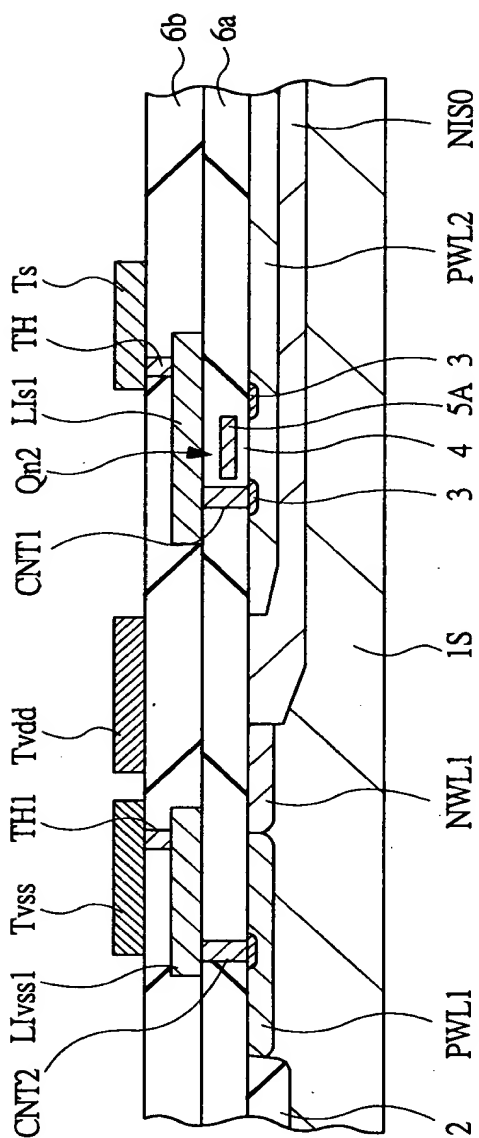
【図 11】

図 11



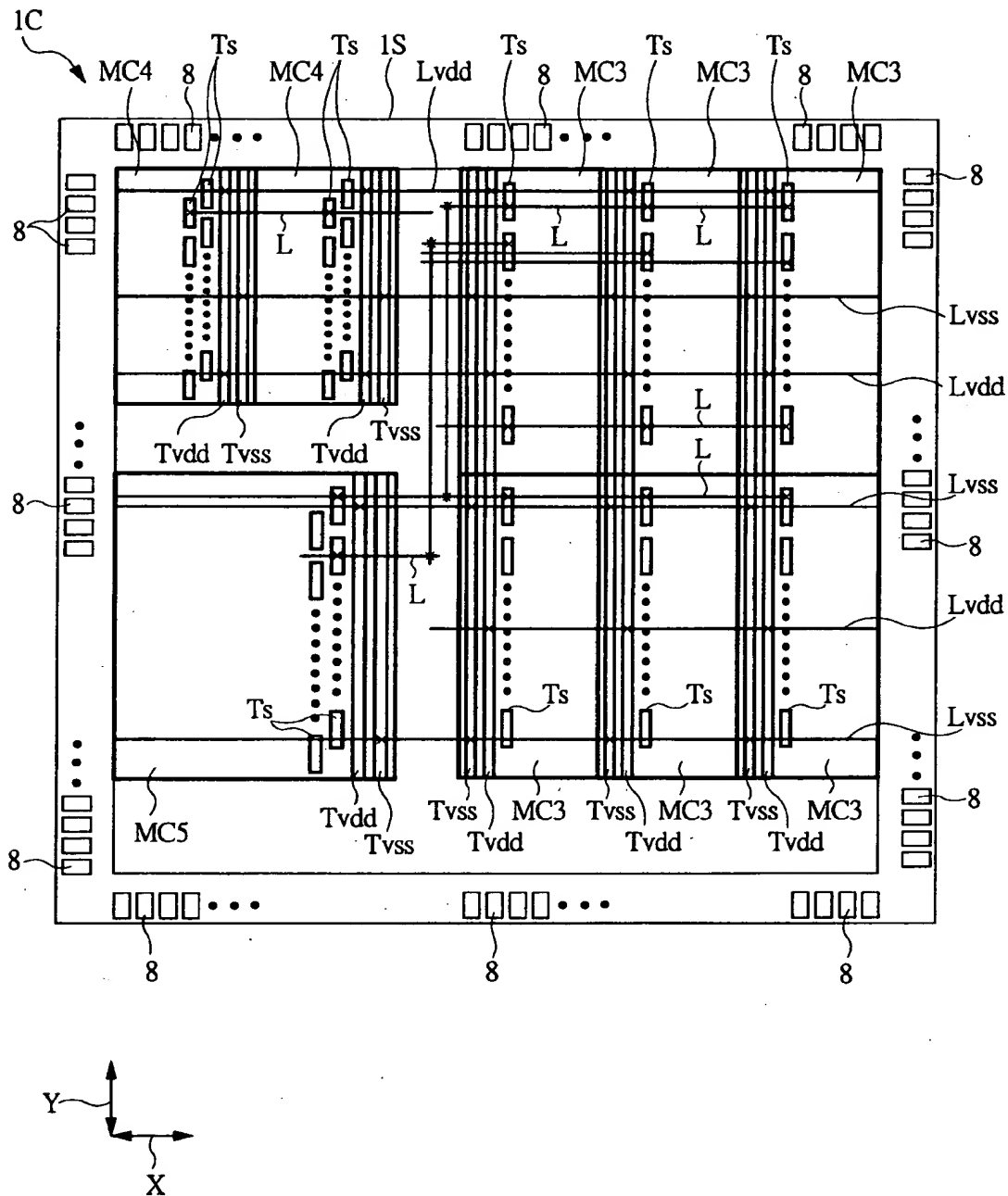
【図 12】

図 12



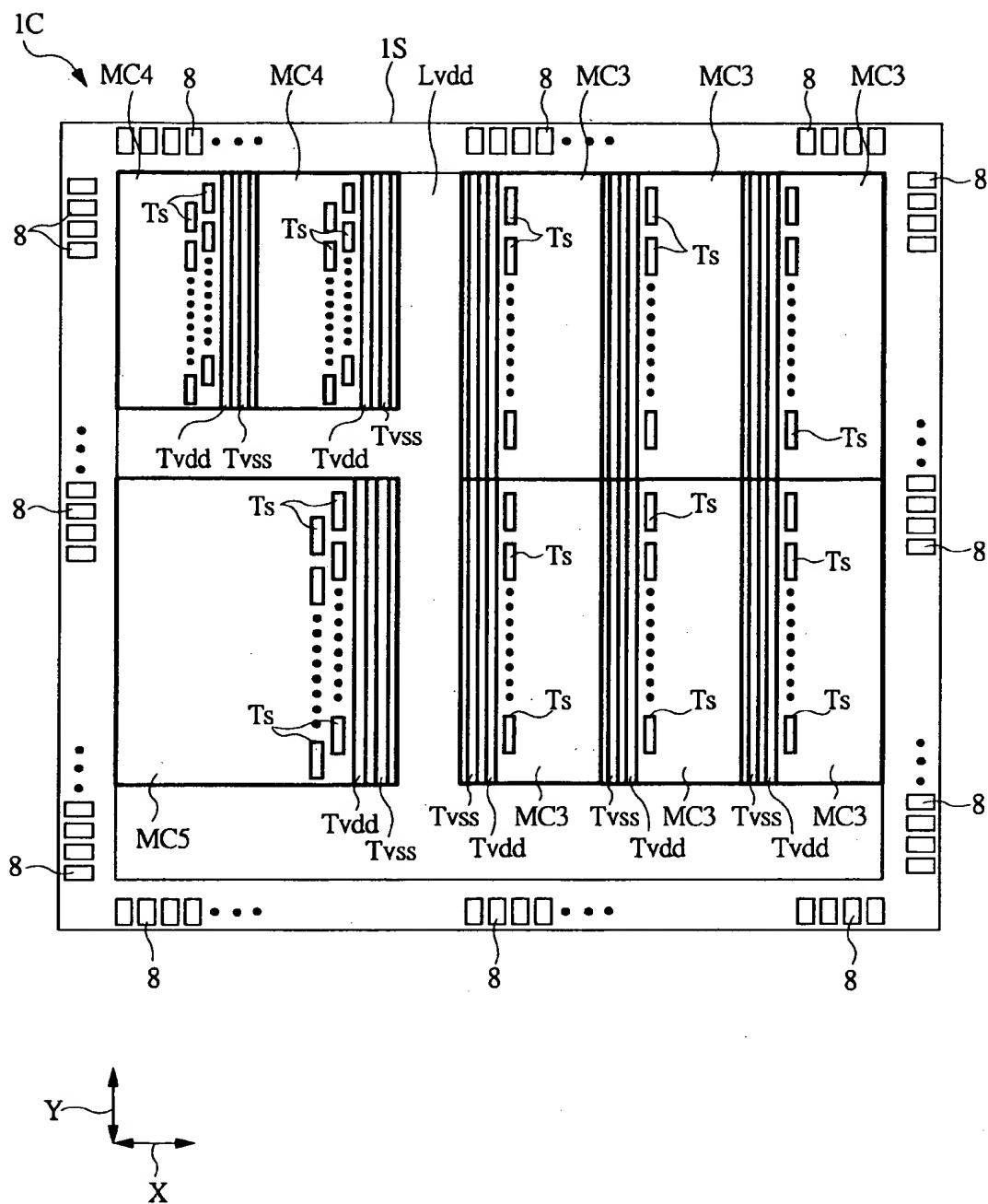
【図 13】

図 13



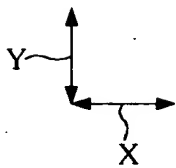
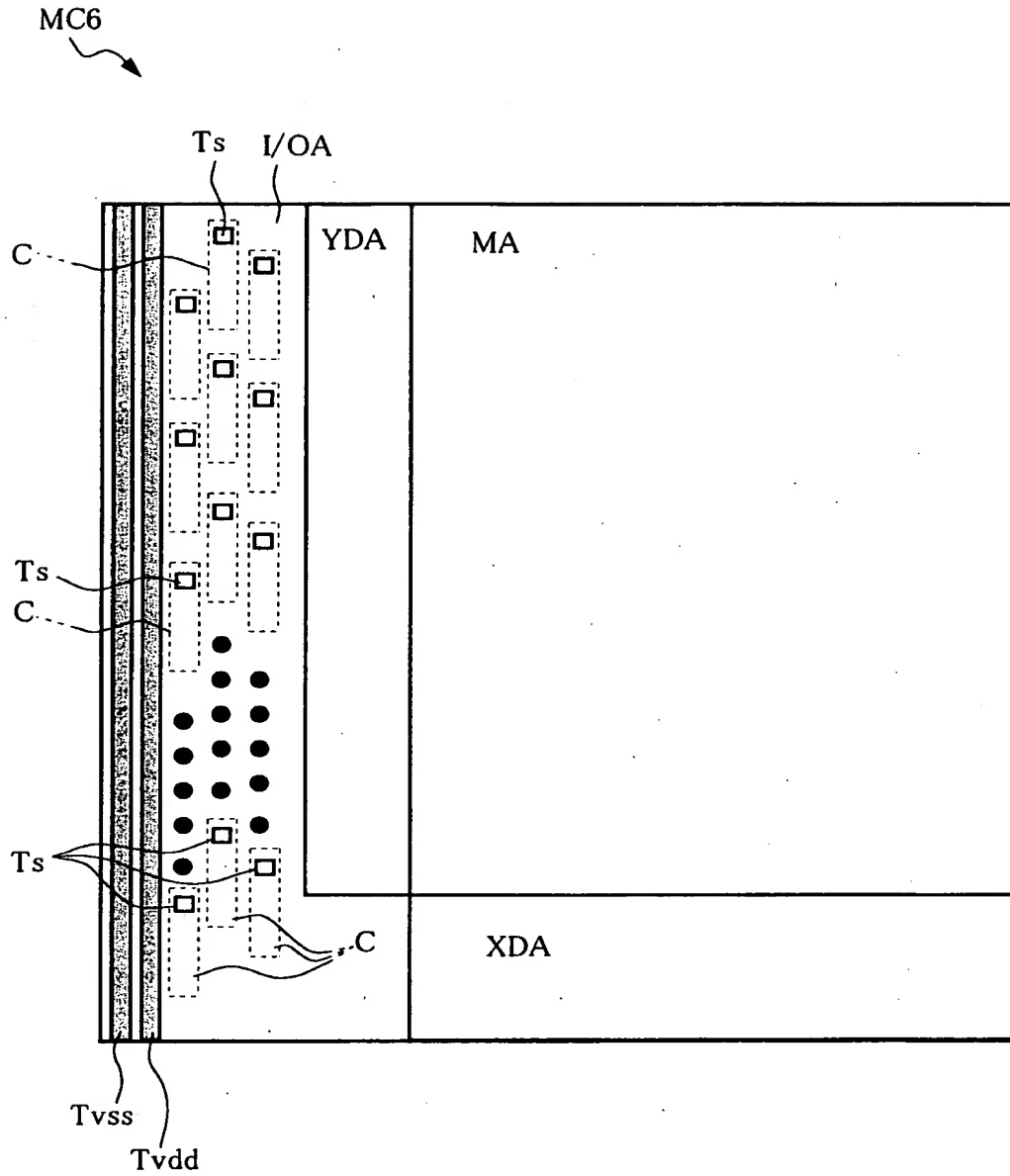
【図 14】

図 14

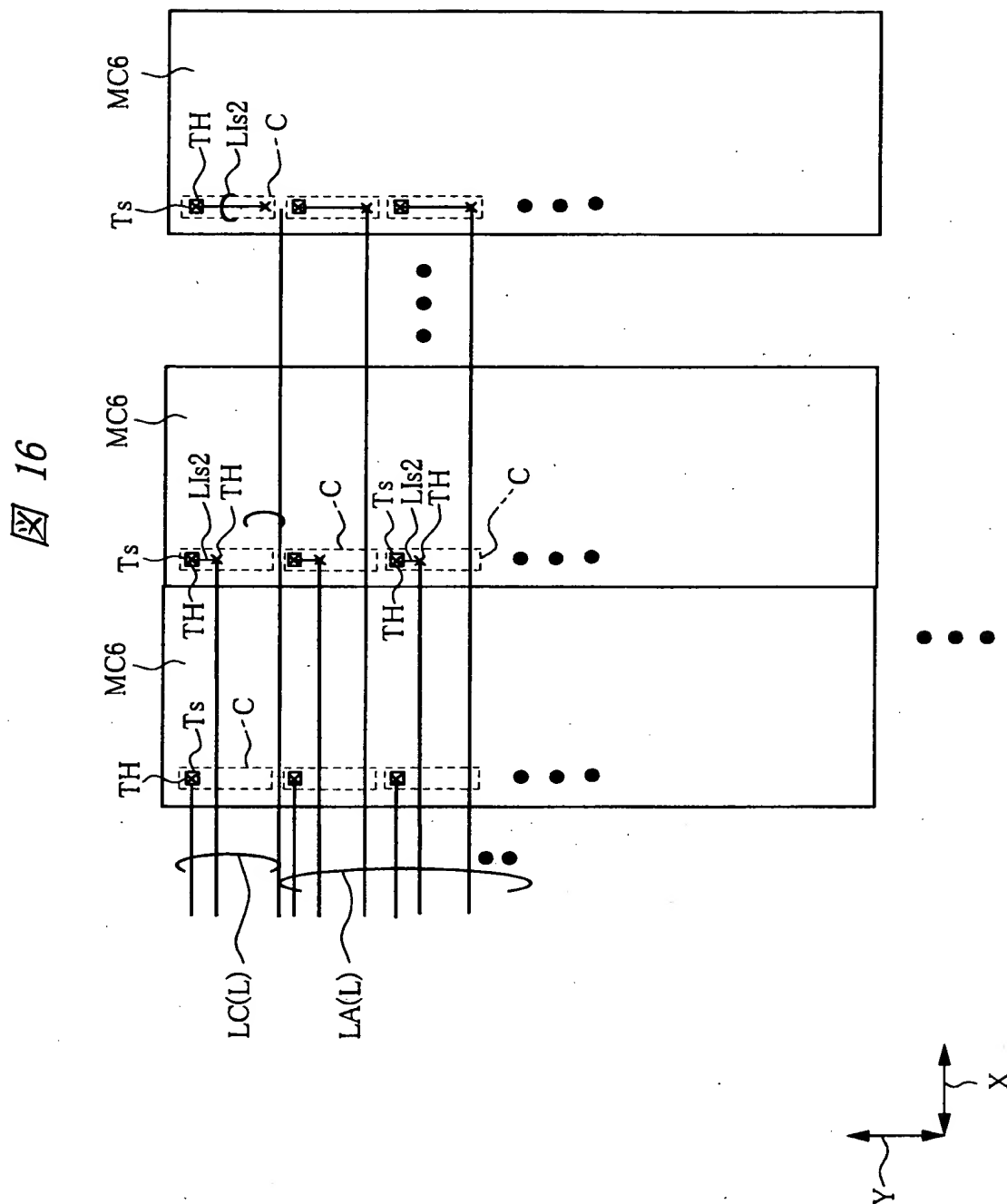


【図 15】

図 15

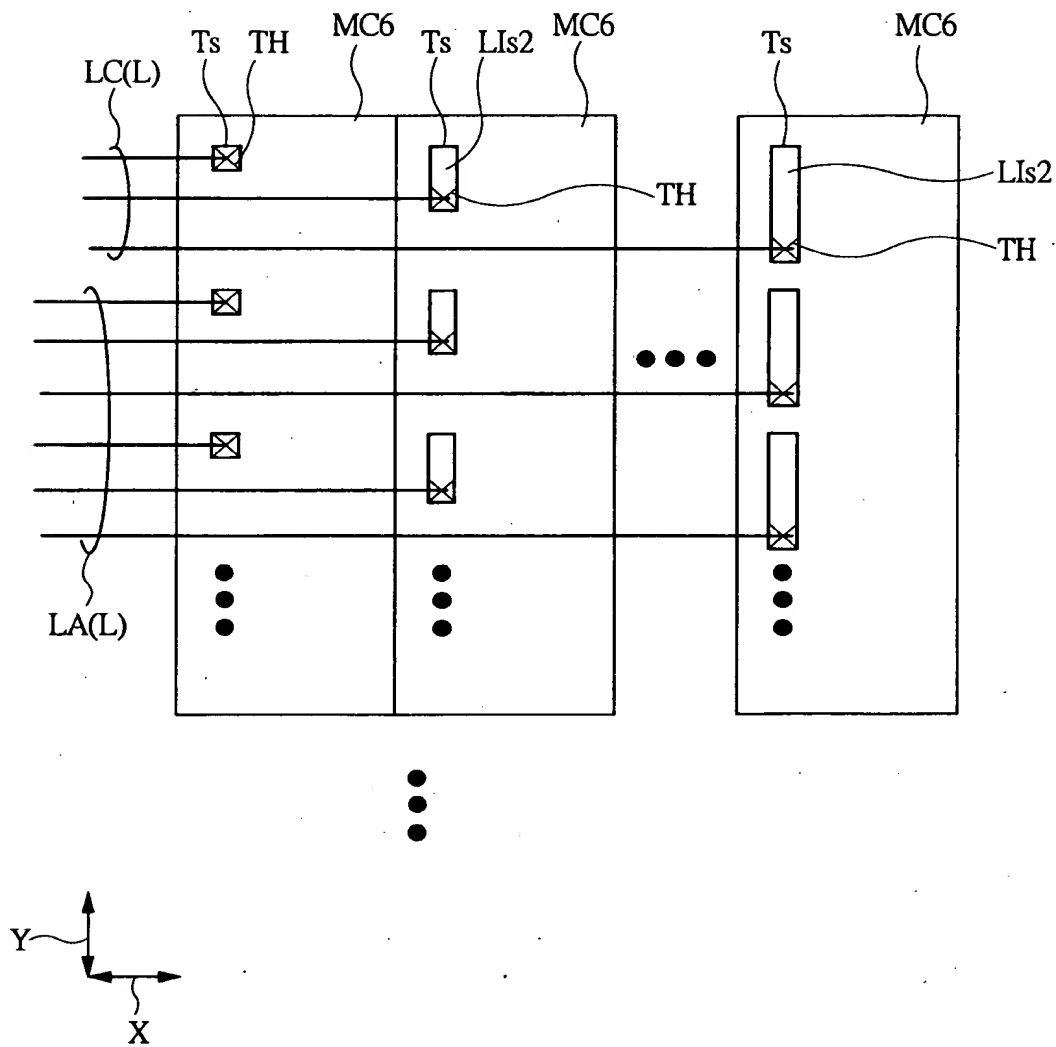


【图 16】



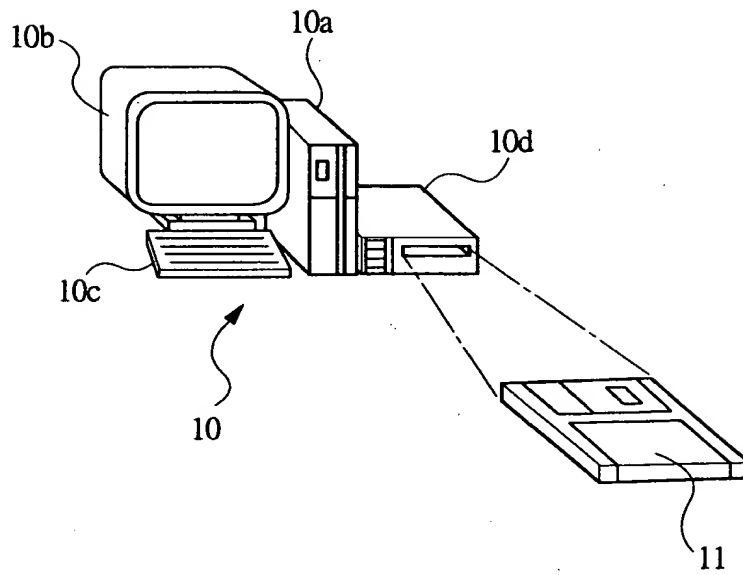
【図 17】

図 17



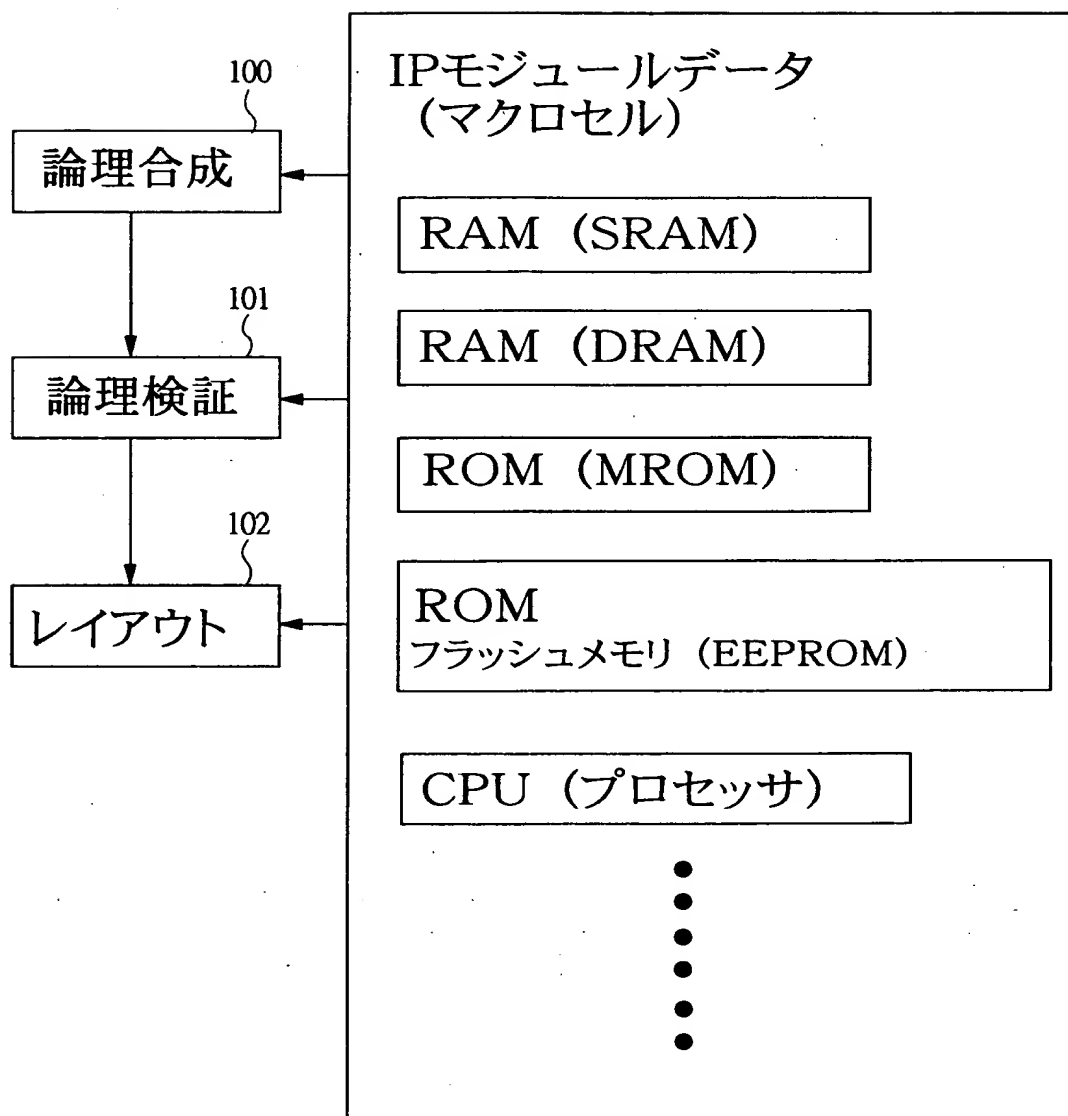
【図 1 8】

図 18



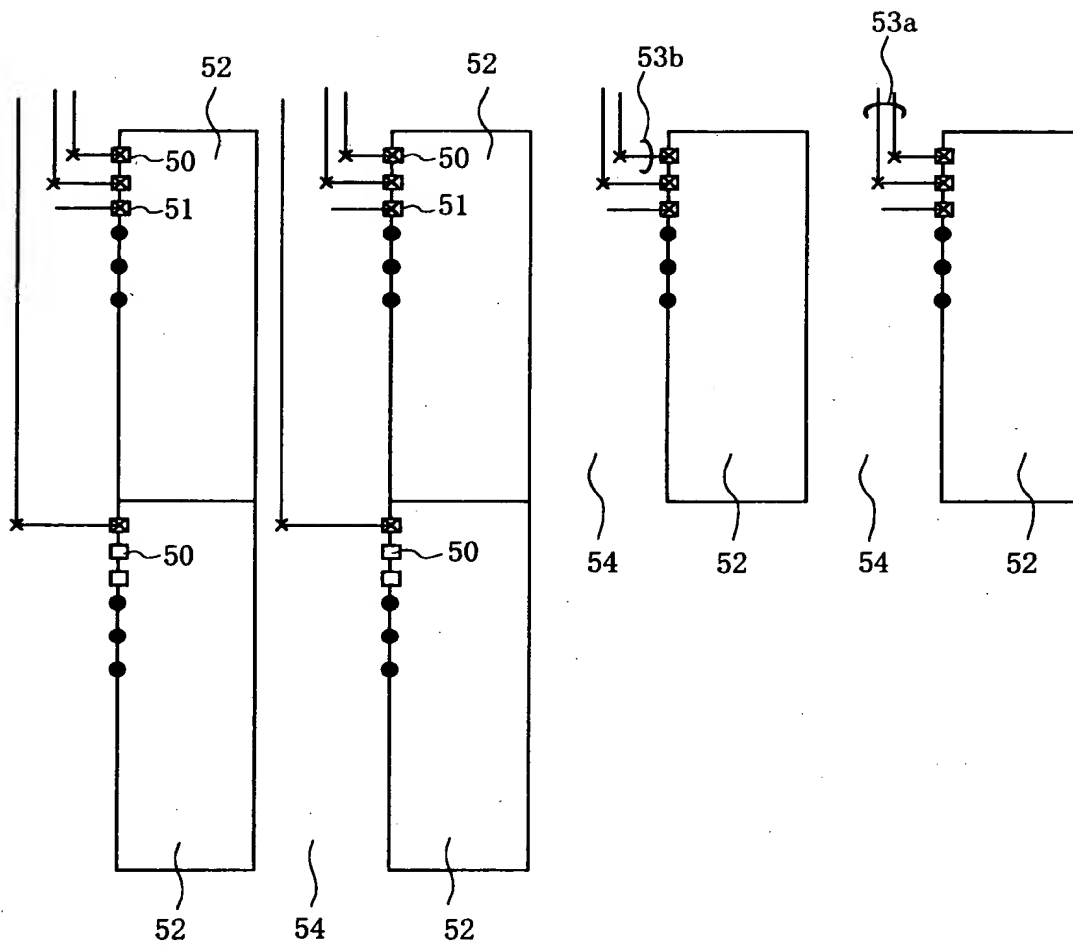
【図 1 9】

図 19



【図 2 0】

図 20



【書類名】 要約書

【要約】

【課題】 チップサイズを縮小する。

【解決手段】 マクロセルMC 3 上をX方向に延在するセル外配線をマクロセルMC 3 の信号用の端子T s よりも上層の配線層で構成し、この端子T s をセル外配線の複数のチャネル分を確保するように、Y方向（X方向に交差する方向）に延在させて構成する。マクロセルMC 3 と、セル外配線との接続をこの信号用の端子T s を介して行う。

【選択図】 図 1 0

特2000-364112

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ